



①9 BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENT- UND
MARKENAMT

⑩ **Offenlegungsschrift**
DE 199 62 053 A 1

⑤1 Int. Cl. 7:
H 01 L 27/12

②1 Aktenzeichen: 199 62 053.9
②2 Anmeldetag: 22. 12. 1999
④3 Offenlegungstag: 6. 7. 2000

③0 Unionspriorität:
10-367265 24. 12. 1998 JP
11-177091 23. 06. 1999 JP

⑦1 Anmelder:
Mitsubishi Denki K.K., Tokio/Tokyo, JP

⑦4 Vertreter:
Prüfer und Kollegen, 81545 München

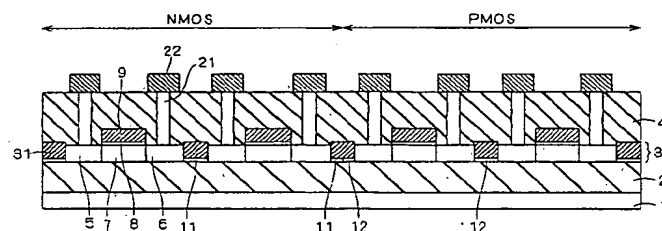
⑦2 Erfinder:
Yamaguchi, Yasuo, Tokio/Tokyo, JP; Maegawa,
Shigeto, Tokio/Tokyo, JP; Ipposhi, Takashi,
Tokio/Tokyo, JP; Iwamatsu, Toshiaki, Tokio/Tokyo,
JP; Maeda, Shigenobu, Tokio/Tokyo, JP; Hirano,
Yuuichi, Tokio/Tokyo, JP; Matsumoto, Takuji,
Tokio/Tokyo, JP; Miyamoto, Shoichi, Tokio/Tokyo,
JP

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

Prüfungsantrag gem. § 44 PatG ist gestellt

⑤4 Halbleitereinrichtung

⑤7 Ein Teiloxidfilm (31) mit darunter gebildeten Wannengebieten trennt Transistorbildungsbereiche in einer SOI-Schicht (3) voneinander. Ein p-Wannenbereich (11) ist unterhalb eines Teiles des Teiloxidfilms (31), der die NMOS-Transistoren voneinander trennt, gebildet, und ein n-Wannenbereich (12) ist unterhalb eines Teiles des Teiloxidfilms (31), der die PMOS-Transistoren voneinander trennt, gebildet. Der p-Wannenbereich (11) und der n-Wannenbereich (12) sind in einer Beziehung Seite an Seite unterhalb eines Teiles des Teiloxidfilms (31) gebildet, was eine Trennung zwischen dem NMOS-Transistor und dem PMOS-Transistor bereitstellt. Ein Körperbereich ist in Kontakt mit einem dazu benachbarten Wannengebiet (11). Eine Verbindungsschicht, die auf einem Zwischenschichtisolierfilm (4) gebildet ist, ist elektrisch verbunden mit dem Körperbereich über einen Körperkontakt, der in dem Zwischenschichtisolierfilm (4) vorgesehen ist. Eine Halbleitereinrichtung mit einem SOI-Aufbau verringert einen Effekt des schwebenden Substrates.



DE 199 62 053 A 1

DE 199 62 053 A 1

Die vorliegende Erfindung bezieht sich auf eine Halbleitereinrichtung mit einem SOI-Aufbau.

Wie in Fig. 102 gezeigt ist, ist eine der Anmelderin bekannte Halbleitereinrichtung mit einem SOI-Aufbau, der aus einem Siliziumsubstrat 1, einem vergrabenen Oxidfilm 2 und einer SOI-Schicht 3 (SOI = Silizium auf einem Isolator) gebildet ist, derart konstruiert, daß ein voller Oxidfilm 32 vollständig Transistorbildungsbereiche in der SOI-Schicht 3 voneinander trennt. Beispielsweise ist ein einzelner NMOS-Transistor, der in einem NMOS-Transistorbildungsbereich gebildet ist, vollständig von anderen Transistoren getrennt durch den vollen Oxidfilm 32. Bei der in Fig. 102 gezeigten Halbleiterspeichereinrichtung bedeckt ein Zwischenschicht-isolierfilm 4 die SOI-Schicht 3.

Wie in Fig. 102 gezeigt ist, enthält der NMOS-Transistor, der von den anderen Transistoren durch den vollen Oxidfilm 32 getrennt ist, einen Drainbereich 5, einen Sourcebereich 6 und einen Kanalbildungsbereich 7, die in der SOI-Schicht 3 gebildet sind, einen auf dem Kanalbildungsbereich 7 gebildeten Gateoxidfilm 8 und eine auf dem Gateoxidfilm 8 gebildete Gateelektrode 9. Eine Verbindungsschicht 22, die auf dem Zwischenschichtisolierfilm 4 gebildet ist, ist elektrisch über einen Kontakt 21, der in dem Zwischenschicht-isolierfilm 4 gebildet ist, mit dem Drainbereich 5 oder dem Sourcebereich 6 verbunden.

Somit ist die der Anmelderin bekannte Halbleitereinrichtung, die den SOI-Aufbau aufweist, bei dem Vorrichtungen (Transistoren) vollständig voneinander in der SOI-Schicht getrennt sind, derart konstruiert, daß eine vollständige Trennung zwischen PMOS- und NMOS-Transistoren derart vorgesehen ist, daß im Prinzip ein Durchgreifen (latch up) verhindert wird.

Daher ist die Herstellung einer Halbleitereinrichtung mit dem SOI-Aufbau und mit CMOS-Transistoren darin vorteilhaft, daß eine minimale Trennbreite, die durch die Mikroarbeitungstechnik bestimmt ist, verwendet werden kann, um die Fläche eines Chips zu verringern. Eine solche Halbleitereinrichtung mit dem SOI-Aufbau weist jedoch verschiedene Nachteile auf, die von einem sogenannten Effekt des schwebenden Substrates resultieren, wie z. B. ein Knickeffekt (kink-effekt), der durch Ladungsträger (Löcher für einen NMOS-Transistor) verursacht ist, die durch Stoßionisation erzeugt sind und in dem Kanalbildungsbereich gespeichert sind, die Verschlechterung der Betriebsdurchbruchspannung und die Frequenzabhängigkeit der Verzögerungszeit aufgrund dem nicht stabilisierten elektrischen Potential des Kanalbildungsbereiches.

Es ist daher eine Aufgabe der vorliegenden Erfindung, eine Halbleitereinrichtung mit einem SOI-Aufbau vorzusehen, die eine Verringerung des Effektes des schwebenden Substrates erreicht.

Diese Aufgabe wird gelöst durch die Halbleitereinrichtung des Anspruchs 1, 6 oder 23.

Weiterbildungen der Erfindung sind in den Unteransprüchen angegeben.

Ein erster Aspekt der vorliegenden Erfindung ist auf eine Halbleitereinrichtung mit einem SOI-Aufbau, der ein Halbleitersubstrat, eine vergrabene Isolierschicht und eine SOI-Schicht aufweist, gerichtet. Gemäß der vorliegenden Erfindung enthält die Halbleitereinrichtung eine Mehrzahl von Einrichtungsbildungsbereichen, in denen vorbestimmte Einrichtungen entsprechend gebildet werden sollen, wobei die Mehrzahl der Einrichtungsbildungsbereiche in der SOI-Schicht vorgesehen sind, zumindest einen Trennbereich, der in der SOI-Schicht vorgesehen ist, zum isolierenden Trennen der Mehrzahl von Einrichtungsbildungsbereichen von

einander, und einen Körperbereich, der in der SOI-Schicht vorgesehen ist und der ein elektrisches Potential extern fixieren kann, wobei zumindest ein Teil des zumindest einen Trennbereiches einen Teiltrennbereich mit einem Isolierbereich, der in einem oberen Teil davon gebildet ist, und einen Halbleiterbereich, der in einem unteren Teil davon gebildet ist, aufweist, wobei der Halbleiterbereich als ein Teil der SOI-Schicht dient und in Kontakt mit zumindest einem von der Mehrzahl von Bildungsbereichen und dem Körperbereich gebildet ist.

Bevorzugt enthalten gemäß einem zweiten Aspekt der vorliegenden Erfindung in der Halbleitereinrichtung des ersten Aspektes die Mehrzahl von Einrichtungsbildungsbereichen eine Mehrzahl von ersten Einrichtungsbildungsbereichen für eine erste Einrichtung und eine Mehrzahl von zweiten Einrichtungsbildungsbereichen für eine zweite Einrichtung, wobei der zumindest einen Trennbereich weiterhin enthält einen vollständigen Trennbereich mit einem vollständigen Isolierbereich, der sich durch die SOI-Schicht erstreckt, und wobei der Teiltrennbereich einen ersten und einen zweiten Teiltrennbereich enthält. Die Mehrzahl von ersten Einrichtungsbildungsbereichen sind voneinander getrennt durch den ersten Teiltrennbereich, die Mehrzahl von zweiten Einrichtungsbildungsbereichen sind voneinander getrennt durch den zweiten Teiltrennbereich und die Mehrzahl von ersten Einrichtungsbildungsbereichen und die Mehrzahl von zweiten Einrichtungsbildungsbereichen sind voneinander durch den vollständigen Trennbereich getrennt.

Bevorzugt enthalten gemäß dem dritten Aspekt der vorliegenden Erfindung in der Halbleitereinrichtung des ersten Aspektes die Mehrzahl von Einrichtungsbildungsbereichen eine Mehrzahl von Einrichtungsbildungsbereichen für eine erste Schaltung und eine Mehrzahl von Einrichtungsbildungsbereichen für eine zweite Schaltung. Die Mehrzahl von Einrichtungsbildungsbereichen für die erste Schaltung sind voneinander getrennt durch einen kompletten Trennbereich, der sich durch die SOI-Schicht 3 erstreckt, und die Mehrzahl von Einrichtungsbildungsbereichen für die zweite Schaltung sind voneinander getrennt durch den Teiltrennbereich.

Bevorzugt enthält gemäß einem vierten Aspekt der vorliegenden Erfindung in der Halbleitereinrichtung des dritten Aspektes die SOI-Schicht eine erste und eine zweite Teil-SOI-Schicht, wobei die erste Teil-SOI-Schicht eine geringere Dicke aufweist als die zweite Teil-SOI-Schicht. Die Mehrzahl von Einrichtungsbildungsbereichen für die erste Schaltung sind in der ersten Teil-SOI-Schicht gebildet und die Mehrzahl von Einrichtungsbildungsbereichen für die zweite Schaltung sind in der zweiten Teil-SOI-Schicht gebildet.

Bevorzugt enthalten gemäß einem fünften Aspekt der vorliegenden Erfindung in der Halbleitereinrichtung des ersten Aspektes die Mehrzahl von Einrichtungsbildungsbereichen einen Einrichtungsbildungsbereich für eine vorbestimmte Schaltung und einen Einrichtungsbildungsbereich für eine andere Schaltung als die vorbestimmte Schaltung. Der Einrichtungsbildungsbereich für die vorbestimmte Schaltung und der Einrichtungsbildungsbereich für die andere Schaltung als die vorbestimmte Schaltung sind voneinander getrennt durch einen vollständigen Trennbereich, der sich durch die SOI-Schicht 3 erstreckt.

Bevorzugt weist gemäß einem sechsten Aspekt der vorliegenden Erfindung in der Halbleitereinrichtung des ersten Aspektes eine Einrichtung, die in einem Einrichtungsbildungsbereich von der Mehrzahl von Einrichtungsbildungsbereichen gebildet ist, der durch den Teiltrennbereich getrennt ist, einen aktiven Bereich auf, der bei einer Tiefe von einer Oberfläche der SOI-Schicht gebildet ist, die flacher ist

als die Tiefe, bei der der Teiltrennbereich gebildet ist.

Bevorzugt enthält gemäß einem siebten Aspekt der vorliegenden Erfindung in der Halbleitereinrichtung des ersten Aspektes der Halbleiterbereich einen Polysiliziumbereich.

Bevorzugt enthält gemäß einem achten Aspekt der vorliegenden Erfindung in der Halbleitereinrichtung des ersten Aspektes der Teilisolierbereich einen Film mit geringer dielektrischer Konstante, der eine dielektrische Konstante aufweist, die kleiner ist als die der vergrabenen Isolierschicht.

Bevorzugt enthält gemäß einem neunten Aspekt der vorliegenden Erfindung in der Halbleitereinrichtung des ersten Aspektes der Teilisolierbereich einen Teilisolierfilm, der zumindest auf einer Seitenoberfläche vorgesehen ist, und einen Film mit niedriger dielektrischer Konstante, der in anderen Bereichen vorgesehen ist und eine dielektrische Konstante aufweist, die kleiner ist als die des Teilisolierfilmes.

Bevorzugt enthält gemäß einem zehnten Aspekt der vorliegenden Erfindung in der Halbleitereinrichtung des ersten Aspektes der zumindest eine Trennbereich eine Mehrzahl von Trennbereichen, und zumindest einer der Mehrzahl von Trennbereichen weist eine vorbestimmte Breite auf und erstreckt sich im wesentlichen senkrecht zu einer Oberfläche des Halbleitersubstrates.

Ein elfter Aspekt der vorliegenden Erfindung ist auf eine Halbleitereinrichtung mit einem SOI-Aufbau, der ein Halbleitersubstrat, eine vergrabene Isolierschicht und eine SOI-Schicht aufweist, gerichtet. Gemäß der vorliegenden Erfindung enthält die Halbleitervorrichtung eine Mehrzahl von Einrichtungsbildungsbereichen, in denen vorbestimmte Einrichtungen entsprechend gebildet werden sollen, wobei die Mehrzahl von Einrichtungsbildungsbereichen in der SOI-Schicht vorgesehen sind, zumindest einen Trennbereich, der in der SOI-Schicht vorgesehen ist zum isolierenden Trennen der Mehrzahl von Einrichtungsbildungsbereichen voneinander, und einen Körperbereich, der extern ein elektrisches Potential fixieren kann, wobei der Körperbereich in Kontakt mit einer von der oberen Oberfläche und unteren Oberfläche von zumindest einem der Mehrzahl von Einrichtungsbildungsbereichen gebildet ist.

Bevorzugt ist gemäß einem zwölften Aspekt der vorliegenden Erfindung in der Halbleitereinrichtung des elften Aspektes der Körperbereich in einem oberen Abschnitt der vergrabenen Isolierschicht gebildet und ist in Kontakt mit der unteren Oberfläche des zumindest einen der Mehrzahl von Einrichtungsbildungsbereichen.

Bevorzugt erstreckt sich gemäß einem dreizehnten Aspekt der vorliegenden Erfindung in der Halbleitereinrichtung des elften Aspektes der Körperbereich durch die vergrabene Isolierschicht und steht in Kontakt mit der Bodenoberfläche des zumindest einen der Mehrzahl von Einrichtungsbildungsbereichen.

Bevorzugt ist gemäß einem vierzehnten Aspekt der vorliegenden Erfindung in der Halbleitereinrichtung des elften Aspektes der Körperbereich auf dem zumindest einem der Mehrzahl von Einrichtungsbildungsbereichen gebildet und steht in Kontakt mit der oberen Oberfläche des zumindest einen der Mehrzahl von Einrichtungsbildungsbereichen.

Bevorzugt enthält gemäß einem fünfzehnten Aspekt der vorliegenden Erfindung in der Halbleitereinrichtung des ersten Aspektes zumindest einen Teil des zumindest einen Trennbereiches weiter einen kombinierten Trennbereich, der einen Teiltrennbereich und einen vollständigen Isolierbereich, der sich durch die SOI-Schicht erstreckt, aufweist, wobei der Teiltrennbereich und der vollständige Isolierbereich miteinander kontinuierlich ausgebildet sind.

Bevorzugt weist gemäß einem sechzehnten Aspekt der vorliegenden Erfindung in der Halbleitereinrichtung des fünfzehnten Aspektes der Teiltrennbereich eine flache und

gleichmäßige obere Oberfläche auf.

Bevorzugt weist gemäß einem siebzehnten Aspekt der vorliegenden Erfindung in der Halbleitereinrichtung des fünfzehnten Aspektes der Halbleiterbereich des kombinierten Trennbereiches eine Dicke auf, die nicht größer ist als die halbe Dicke der SOI-Schicht.

Bevorzugt weist gemäß einem achtzehnten Aspekt der vorliegenden Erfindung in der Halbleitereinrichtung des fünfzehnten Aspektes der vollständige Isolierbereich des kombinierten Trennbereiches eine Breite auf, die nicht größer ist als die halbe Breite des kombinierten Trennbereiches.

Bevorzugt enthält gemäß einem neunzehnten Aspekt der vorliegenden Erfindung in der Halbleitereinrichtung des ersten Aspektes der zumindest eine Trennbereich weiter einen vollständigen Trennbereich mit einem vollständigen Isolierbereich, der sich durch die SOI-Schicht erstreckt. Die Mehrzahl von Einrichtungsbildungsbereichen enthält einen Eingabe/Ausgabe-NMOS-Transistorbildungsbereich und einen Eingabe/Ausgabe-PMOS-Transistorbildungsbereich, die zueinander benachbart angeordnet sind. Der vollständige Trennbereich ist zumindest in der Nähe einer Grenze zwischen dem Eingabe/Ausgabe-NMOS-Transistorbildungsbereich und dem Eingabe/Ausgabe-PMOS-Transistorbildungsbereich gebildet.

Bevorzugt enthalten gemäß einem zwanzigsten Aspekt der vorliegenden Erfindung in der Halbleitereinrichtung des neunzehnten Aspektes die Mehrzahl von Einrichtungsbildungsbereichen weiter einen internen Schaltungsbildungsbereich, der benachbart zu einem von dem Eingabe/Ausgabe-NMOS-Transistorbildungsbereich und dem Eingabe/Ausgabe-PMOS-Transistorbildungsbereich angeordnet ist. Der vollständige Trennbereich ist ferner in der Nähe einer Grenze zwischen dem internen Schaltungsbildungsbereich und einem von dem Eingabe/Ausgabe-NMOS-Transistorbildungsbereich und dem Eingabe/Ausgabe-PMOS-Transistorbildungsbereich, der benachbart zu dem internen Schaltungsbereich angeordnet ist, gebildet.

Bevorzugt enthält gemäß einem einundzwanzigsten Aspekt der vorliegenden Erfindung in der Halbleitereinrichtung des ersten Aspektes der zumindest eine Trennbereich weiter einen vollständigen Trennbereich mit einem vollständigen Isolierbereich, der sich durch die SOI-Schicht erstreckt. Die Mehrzahl von Einrichtungsbildungsbereichen enthält einen NMOS-Transistorbildungsbereich und einen PMOS-Transistorbildungsbereich, die zueinander benachbart angeordnet sind. Der vollständige Trennbereich ist in einem vollständigen Trennbereichsbildungsort gebildet, der innerhalb des PMOS-Transistorbildungsbereiches in der Nähe einer Grenze zwischen dem NMOS-Transistorbildungsbereich und dem PMOS-Transistorbereich angeordnet ist. Der Teiltrennbereich umgibt den NMOS-Transistorbildungsbereich und den PMOS-Transistorbildungsbereich mit Ausnahme in dem vollständigen Trennbereichsbildungsort.

Bevorzugt enthält gemäß eines zweiundzwanzigsten Aspektes der vorliegenden Erfindung in der Halbleitereinrichtung des ersten Aspektes der zumindest eine Trennbereich weiter einen vollständigen Trennbereich mit einem vollständigen Isolierbereich, der sich durch die SOI-Schicht erstreckt. Die Mehrzahl von Einrichtungsbildungsbereichen enthält einen MOS-Transistorbildungsbereich. Der Teiltrennbereich ist in einem Teiltrennbereichsbildungsort gebildet, der zumindest in der Nähe eines ersten Endes einer Gateelektrode des MOS-Transistorbildungsbereiches angeordnet ist. Der vollständige Isolierbereich umgibt den MOS-Transistorbildungsbereich mit Ausnahme bei dem Teiltrennbereichsbildungsort.

Bevorzugt enthalten gemäß einem dreiundzwanzigsten Aspekt der vorliegenden Erfindung in der Halbleitereinrich-

tung des ersten Aspektes die Mehrzahl von Einrichtungsbildungsbereichen einen Transistorbildungsbereich eines ersten Leitungstyps. Der Teiltrennbereich enthält einen peripheren Teiltrennbereich, der den Transistorbildungsbereich umgibt. Der Körperbereich enthält einen peripheren Körperbereich eines zweiten Leitungstyps, der den peripheren Teiltrennbereich umgibt.

Bevorzugt enthalten gemäß einem vierundzwanzigsten Aspekt der vorliegenden Erfindung in der Halbleitereinrichtung des ersten Aspektes die Mehrzahl von Einrichtungsbildungsbereichen einen MOS-Transistorbildungsbereich. Der Körperbereich enthält einen Sourcenachbarschaftskörperbereich, der benachbart zu einem Sourcebereich des MOS-Transistorbildungsbereiches angeordnet ist. Die Halbleitereinrichtung enthält weiter einen Bereich für ein Einstellen eines elektrischen Potentials, der gemeinsam verbunden ist mit dem Sourcebereich und dem Sourcenachbarschaftskörperbereich.

Bevorzugt enthält gemäß einem fünfundzwanzigsten Aspekt der vorliegenden Erfindung in der Halbleitereinrichtung des ersten Aspektes der Halbleiterbereich des Teiltrennbereiches einen ersten und einen zweiten Teilhalbleiterbereich. Die Dotierungskonzentration des ersten Teilhalbleiterbereiches ist größer als die des zweiten Halbleiterbereiches.

Bevorzugt enthält gemäß einem sechszwanzigsten Aspekt der vorliegenden Erfindung in der Halbleitereinrichtung des fünfundzwanzigsten Aspektes der erste Teilhalbleiterbereich einen peripheren Bereich, der benachbart zu einem von der Mehrzahl von Einrichtungsbildungsbereichen, der getrennt werden soll, angeordnet ist, und der zweite Teilhalbleiterbereich enthält einen Mittelbereich, der einem Teil des Halbleiterbereiches entspricht, der ein anderer als der periphere Bereich ist.

Bevorzugt enthalten gemäß einem siebenundzwanzigsten Aspekt der vorliegenden Erfindung in der Halbleitereinrichtung des fünfundzwanzigsten Aspektes die Mehrzahl von Einrichtungsbildungsbereichen einen MOS-Transistorbildungsbereich. Der Teiltrennbereich umgibt den MOS-Transistorbildungsbereich. Der erste Teilhalbleiterbereich enthält einen Bereich benachbart zu einer Gateelektrode des MOS-Transistorbereiches, und der zweite Teilhalbleiterbereich enthält einen Bereich benachbart zu einem Drain/Source des MOS-Transistorbildungsbereiches.

Bevorzugt enthalten gemäß einem achtundzwanzigsten Aspekt der vorliegenden Erfindung in der Halbleitereinrichtung des ersten Aspektes die Mehrzahl von Einrichtungsbildungsbereichen einen MOS-Transistorbildungsbereich eines ersten Leitungstyps, und der Halbleiterbereich des Teiltrennbereiches enthält einen Bereich eines zweiten Leitungstyps. Eine Spitze der Dotierungskonzentration des Halbleiterbereiches des Teiltrennbereiches liegt tiefer von einer Oberfläche der SOI-Schicht als eine Spitze der Dotierungskonzentration eines Drain/Sourcebereiches, der in Kontakt mit dem Halbleiterbereich in dem MOS-Transistorbereich gebildet ist.

Bevorzugt enthalten gemäß einem neunundzwanzigsten Aspekt der vorliegenden Erfindung in der Halbleitereinrichtung des ersten Aspektes die Mehrzahl von Einrichtungsbildungsbereichen einen MOS-Transistorbildungsbereich. Eine Spitze in der Dotierungskonzentration eines Kanalbildungsbereiches des MOS-Transistorbildungsbereiches liegt tiefer von einer Oberfläche der SOI-Schicht als eine Spitze der Dotierungskonzentration des Halbleiterbereiches des Teiltrennbereiches.

Bevorzugt enthält gemäß einem dreißigsten Aspekt der vorliegenden Erfindung in der Halbleitereinrichtung des fünfzehnten Aspektes der Halbleiterbereich des kombinier-

ten Trennbereiches einen ersten Teilhalbleiterbereich, der benachbart zu dem vollständigen Isolierbereich angeordnet ist, und einen zweiten Teilhalbleiterbereich, der der Rest des Halbleiterbereiches ist. Die Dotierungskonzentration des ersten Teilhalbleiterbereiches ist größer als die des zweiten Teilhalbleiterbereiches.

Bevorzugt weist gemäß einem einunddreißigsten Aspekt der vorliegenden Erfindung in der Halbleitereinrichtung des ersten Aspektes der Teiltrennbereich einen Oberflächeneckteil und einen Bodeneckteil auf, wobei der Bodeneckteil einen Krümmungsradius aufweist, der größer ist als der des Oberflächeneckteils.

Bevorzugt weist gemäß einem zweiunddreißigsten Aspekt der vorliegenden Erfindung in der Halbleitereinrichtung des fünfzehnten Aspektes der Teiltrennbereich des kombinierten Trennbereiches einen Bodeneckteil und einen gestuften Teil, der zwischen dem vollständigen Isolierbereich und dem Teilisolierbereich definiert ist, auf, wobei der gestufte Teil einen Krümmungsradius aufweist, der geringer ist als der des Bodeneckteils.

Bevorzugt enthält gemäß einem dreiunddreißigsten Aspekt der vorliegenden Erfindung in der Halbleitereinrichtung des ersten Aspektes der zumindest eine Trennbereich einen vollständigen Trennbereich mit einem vollständigen Isolierbereich, der sich durch die SOI-Schicht erstreckt. Der Halbleiterbereich enthält weiter ein Induktionselement, das in einem Induktionsbildungsbereich gebildet ist, der in einem oberen Teil der SOI-Schicht liegt, wobei der vollständige Trennbereich unterhalb des Induktionsbildungsbereiches gebildet ist.

Bevorzugt enthalten gemäß einem vierunddreißigsten Aspekt der vorliegenden Erfindung in der Halbleitereinrichtung des ersten Aspektes die Mehrzahl von Einrichtungsbildungsbereichen einen MOS-Transistorbildungsbereich, und der Körperbereich enthält einen mit einem Gate verbundenen Körperbereich, der elektrisch mit einer Gateelektrode eines MOS-Transistors verbunden ist, der in dem MOS-Transistorbildungsbereich gebildet ist. Der Teiltrennbereich umgibt den MOS-Transistorbildungsbereich.

Bevorzugt enthält gemäß einem fünfunddreißigsten Aspekt der vorliegenden Erfindung in der Halbleitereinrichtung des sechsten Aspektes der Halbleiterbereich einen Bereich eines ersten Leitungstyps, und der aktive Bereich der Einrichtung enthält einen Bereich eines zweiten Leitungstyps. Die Tiefe des aktiven Bereiches der Einrichtung ist derart eingestellt, daß eine Verarmungsschicht, die sich von dem aktiven Bereich erstreckt, nicht die vergrabene Isolierschicht in dem eingebauten Zustand erreicht.

Bevorzugt enthalten gemäß einem sechsenddreißigsten Aspekt der vorliegenden Erfindung in der Halbleitereinrichtung des ersten Aspektes die Mehrzahl von Einrichtungsbildungsbereichen einen Feldtransistorbildungsbereich. Ein Feldtransistor, der in dem Feldtransistorbildungsbereich gebildet ist, enthält einen ersten und einen zweiten aktiven Bereich, die unabhängig voneinander gebildet sind, und einen Gateteil, der zwischen dem ersten und dem zweiten aktiven Bereich gebildet ist, und einen Feldtransistorteiltrennbereich, der in einem oberen Teil des Gateteils gebildet ist, und einen Feldtransistorhalbleiterbereich, der in einem unteren Teil des Gateteils gebildet ist und als Teil der SOI-Schicht dient.

Ein siebenunddreißigster Aspekt der vorliegenden Erfindung ist auf eine Halbleitereinrichtung mit einem SOI-Aufbau, der ein Halbleitersubstrat, eine vergrabene Isolierschicht und eine SOI-Schicht aufweist, gerichtet. Gemäß der vorliegenden Erfindung enthält die Halbleitereinrichtung einen Einrichtungsbildungsbereich, in den eine vorbestimmte Einrichtung gebildet werden soll, wobei der Einrichtungs-

bildungsbereich in der SOI-Schicht vorgesehen ist, und einen peripheren Trennbereich, der in der SOI-Schicht vorgesehen ist und den Einrichtungsbildungsbereich umgibt, wobei der periphere Trennbereich einen Teiltrennbereich aufweist, der einen Teisolierbereich, der in einem oberen Teil des Teiltrennbereiches gebildet ist, und einen Halbleiterbereich, der in einem unteren Teil des Teiltrennbereiches gebildet ist und als ein Teil der SOI-Schicht dient, aufweist, wobei der Halbleiterbereich in Kontakt mit dem Einrichtungsbildungsbereich gebildet ist und schwebend ist bzw. elektrisch auf kein vorbestimmtes Potential fixiert ist.

Ein achtunddreißigster Aspekt der vorliegenden Erfindung ist auf ein Verfahren des Herstellens einer Halbleitereinrichtung gerichtet. Gemäß der vorliegenden Erfindung enthält das Verfahren die Schritte:

- (a) Bereitstellen eines SOI-Substrates mit einem SOI-Aufbau, der ein Halbleitersubstrat, eine vergrabene Isolierschicht und eine SOI-Schicht aufweist,
- (b) selektives Entfernen der SOI-Schicht von oberhalb der oberen Oberfläche der SOI-Schicht derart, daß die SOI-Schicht nicht durchdrungen wird und so eine Mehrzahl von Gräben gebildet werden, wobei die Bereiche der SOI-Schichten, die zwischen der Mehrzahl von Gräben liegen, als Mehrzahl von Einrichtungsbildungsbereichen dienen,
- (c) Füllen von jedem der Mehrzahl von Gräben mit einem Isolierfilm, wobei der Isolierfilm in zumindest einem der Mehrzahl von Gräben und ein Teil der SOI-Schicht, die unterhalb des zumindest einen der Mehrzahl von Gräben liegt, einen Teiltrennbereich bilden, und
- (d) Bilden einer vorbestimmten Einrichtung in jedem der Mehrzahl von Einrichtungsbildungsbereichen.

Bevorzugt enthalten gemäß einem neununddreißigsten Aspekt der vorliegenden Erfindung in dem Verfahren des achtunddreißigsten Aspektes die Mehrzahl von Gräben einen ersten Graben und einen zweiten Graben, und der zumindest eine der Mehrzahl von Gräben enthält den ersten Graben. Das Verfahren weist ferner die Schritte auf:

- (e) weiteres Entfernen der SOI-Schicht von einem Bodenabschnitt des zweiten Grabens derart, daß der zweite Graben sich durch die SOI-Schicht erstreckt, wobei der Schritt (e) nach dem Schritt (b) und vor dem Schritt (c) durchgeführt wird. Der Schritt (c) bewirkt, daß der Isolierfilm in dem ersten Graben und der Teil der SOI-Schicht, der unterhalb des ersten Grabens liegt, den Teiltrennbereich bilden, und bewirkt, daß der Isolierfilm in dem zweiten Graben, der sich durch die SOI-Schicht erstreckt, einen vollständigen Trennbereich bildet.

Bevorzugt ist gemäß einem vierzigsten Aspekt der vorliegenden Erfindung in dem Verfahren des neununddreißigsten Aspektes die Breite des zweiten Grabens größer als die des ersten Grabens und der Schritt (b) enthält die Schritte:

- (b-1) Bilden von Seitenwandelementen auf Seitenoberflächen des ersten und zweiten Grabens entsprechend derart, daß eine Bodenoberfläche des ersten Grabens bedeckt wird und die Mitte einer Bodenoberfläche des zweiten Grabens freigelegt wird, und
- (b-2) Durchdringen der SOI-Schicht unter der Mitte des zweiten Grabens unter Verwenden der Seitenwandelemente als Maske.

Bevorzugt enthält gemäß einem einundvierzigsten Aspekt der vorliegenden Erfindung das Verfahren des neununddreißigsten Aspektes weiter den Schritt:

- (f) Einbringen einer Dotierung in Teile der SOI-Schicht, die unterhalb der Mehrzahl von Gräben liegen, derart, daß Hochkonzentrationsbereiche gebildet werden, wobei der Schritt (f) nach dem Schritt (b) und vor dem Schritt (e) durchgeführt wird.

Ein zweiundvierzigster Aspekt der vorliegenden Erfindung ist auf ein Verfahren des Herstellens einer Halbleitereinrichtung gerichtet. Gemäß der vorliegenden Erfindung enthält das Verfahren die Schritte:

- (a) Bereitstellen eines SOI-Substrates mit einem SOI-Aufbau, der ein Halbleitersubstrat, eine vergrabene Isolierschicht und eine Siliziumschicht enthält,
- (b) selektives Entfernen der Siliziumschicht derart, daß ein Durchgangsabschnitt gebildet wird, der sich durch die Siliziumschicht erstreckt,
- (c) Füllen des Durchgangsabschnittes, der sich durch die Siliziumschicht erstreckt, mit einem ersten Isolierfilm derart, daß der erste Isolierfilm von der oberen Oberfläche der Siliziumschicht angehoben ist, und selektives Bilden eines zweiten Isolierfilmes auf der Siliziumschicht,
- (d) Bilden einer epitaktisch gewachsenen Schicht durch nach oben gerichtetes epitaktisches Wachsen von einem Teil der oberen Oberfläche der Siliziumschicht, die nicht mit dem zweiten Isolierfilm bedeckt ist, wobei die Siliziumschicht und die epitaktisch gewachsene Schicht eine SOI-Schicht bilden, wobei der zweite Isolierfilm und ein Teil der Siliziumschicht, die unterhalb des zweiten Isolierfilmes liegt, einen Teiltrennbereich bilden, wobei der erste Isolierfilm einen vollständigen Trennbereich bildet, und
- (e) Bilden einer vorbestimmten Einrichtung in jedem der Mehrzahl von Einrichtungsbildungsbereichen, die voneinander durch einen von dem Teiltrennbereich und dem vollständigen Trennbereich getrennt sind.

Ein dreiundvierzigster Aspekt der vorliegenden Erfindung ist auf ein Verfahren des Herstellens einer Halbleitereinrichtung gerichtet. Gemäß der vorliegenden Erfindung enthält das Verfahren die Schritte:

- (a) Bereitstellen eines SOI-Substrates mit einem SOI-Aufbau, der ein Halbleitersubstrat, eine vergrabene Isolierschicht und eine SOI-Schicht enthält,
- (b) selektives Entfernen der SOI-Schicht derart, daß eine Mehrzahl von Gräben gebildet werden, die sich durch die SOI-Schicht erstrecken und einen ersten Graben und einen zweiten Graben enthalten, wobei Bereiche der SOI-Schicht, die zwischen der Mehrzahl von Gräben liegen, als eine Mehrzahl von Einrichtungsbildungsbereichen dienen,
- (c) selektives Abscheiden einer Polysiliziumschicht auf einer Boden- und Seitenoberflächen des ersten Grabens,
- (d) Füllen des ersten und zweiten Grabens mit einem Isolierfilm,
- (e) teilweises Oxidieren der Polysiliziumschicht in dem ersten Graben in einer Richtung, die von einer Öffnung des ersten Grabens zu dem Boden davon gerichtet ist, wobei der Isolierfilm in dem ersten Graben und die Polysiliziumschicht, die nicht oxidiert wurde, in dem ersten Graben einen Teiltrennbereich bilden,

wobei der Isolierfilm in dem zweiten Graben einen vollständigen Trennbereich bildet, und
(f) Bilden einer vorbestimmten Einrichtung in jeder der Mehrzahl von Einrichtungsbildungsbereichen.

Ein vierundvierzigster Aspekt der vorliegenden Erfindung ist auf ein Verfahren des Herstellens einer Halbleitereinrichtung gerichtet. Gemäß der vorliegenden Erfindung enthält das Verfahren die Schritte:

- (a) Bereitstellen eines SOI-Substrates mit einem SOI-Aufbau, der ein Halbleitersubstrat, eine vergrabene Isolierschicht und eine SOI-Schicht enthält,
- (b) selektives Entfernen der SOI-Schicht derart, daß eine Mehrzahl von Einrichtungsbildungsbereichen gebildet werden,
- (c) isotropes Ätzen der vergrabenen Isolierschicht, während die Mehrzahl der Einrichtungsbildungsbereiche maskiert werden, derart, daß eine Bodenoberfläche von Endabschnitten von zumindest einem der Mehrzahl von Einrichtungsbildungsbereichen freigelegt wird und ein oberer Teil der vergrabenen Isolierschicht entfernt wird, wodurch ein Loch gebildet wird,
- (d) Füllen des Loches mit einer Polysiliziumschicht derart, daß ein Körperbereich gebildet wird, der die Polysiliziumschicht enthält und elektrisch mit der Bodenoberfläche der Endabschnitte des zumindest einen der Mehrzahl von Einrichtungsbildungsbereichen verbunden ist,
- (e) isolierendes Trennen der Mehrzahl von Einrichtungsbildungsbereichen voneinander in der SOI-Schicht und
- (f) Ermöglichen, daß der Körperbereich das elektrische Potential extern fixiert, und Bilden einer vorbestimmten Einrichtung in jedem der Mehrzahl von Einrichtungsbildungsbereichen.

Bevorzugt enthält gemäß einem fünfundvierzigsten Aspekt der vorliegenden Erfindung in dem Verfahren des vierundvierzigsten Aspektes der Schritt (d) die Schritte:

- (d-1) Bilden einer epitaktisch gewachsenen Schicht in dem Loch durch epitaktisches Wachsen von der Bodenoberfläche der Endabschnitte des zumindest einen der Mehrzahl von Einrichtungsbildungsbereichen und
- (d-2) Füllen des Loches mit der Polysiliziumschicht derart, daß die Polysiliziumschicht in Kontakt steht mit der epitaktisch gewachsenen Schicht und so den Körperbereich bildet, der die epitaktisch gewachsene Schicht und die Polysiliziumschicht aufweist.

Bevorzugt enthält gemäß einem sechsendvierzigsten Aspekt der vorliegenden Erfindung in dem Verfahren des achtunddreißigsten Aspektes der Schritt (d) die Schritte:

- (d-1) Implantieren einer Dotierung eines vorbestimmten Leitungstyps derart, daß eine Spitze einer Dotierungskonzentrationsverteilung in einem oberen Teil der SOI-Schicht bereitgestellt wird und daß ein Kanaleffekt (channeling) derart bereitgestellt wird, daß ein aktiver Bereich der vorbestimmten Einrichtung gebildet wird.

Gemäß einem siebenundvierzigsten Aspekt der vorliegenden Erfindung enthält ein Verfahren des Herstellens einer Halbleitereinrichtung die Schritte:

- (a) Bereitstellen eines SOI-Substrates mit einem SOI-

Aufbau, der ein Halbleitersubstrat, eine vergrabene Isolierschicht und eine SOI-Schicht enthält,

(b) selektives Bilden von zumindest einem ersten Graben, der sich durch die SOI-Schicht erstreckt, von der oberen Oberfläche der SOI-Schicht,

(c) selektives Bilden einer Mehrzahl von zweiten Gräben, die sich nicht durch die SOI-Schicht von der oberen Oberfläche der SOI-Schicht erstrecken, wodurch Bereich der SOI-Schicht, die zwischen der Mehrzahl von zweiten Gräben liegen, als eine Mehrzahl von Einrichtungsbildungsbereichen dienen, die Mehrzahl von zweiten Gräben einen kombinierten Graben und einen nicht durchgehenden Graben enthalten, wobei der kombinierte Graben den zumindest einen ersten Graben aufweist und größer in der Breite ist als der zumindest eine erste Graben, wodurch ein durchgehendes Teil, in dem der zumindest eine erste Graben gebildet wird, und ein nicht durchgehendes Teil, das der Rest des kombinierten Grabens ist, enthalten werden, wobei der nicht durchgehende Graben nur einen nicht durchgehenden Teil ohne den zumindest einen ersten Graben enthält,

(d) Füllen von jedem kombinierten Graben und nicht durchgehenden Graben mit einem Isolierfilm, wobei der Isolierfilm in dem nicht durchgehenden Teil des kombinierten Grabens und der Teil der SOI-Schicht, der unterhalb des nicht durchgehenden Teils des kombinierten Grabens liegt, einen Teiltrennbereich bilden, wobei der Isolierfilm in dem durchgehenden Teil einen vollständigen Trennteil bildet, wobei der Teiltrennbereich und der vollständige Trennteil zusammen einen kombinierten Trennbereich bilden, wobei der Isolierfilm in dem nicht durchgehenden Graben und der Teil der SOI-Schicht, die unterhalb des nicht durchgehenden Grabens liegt, einen Teiltrennbereich bilden, und

(e) Bilden einer vorbestimmten Einrichtung in jedem der Mehrzahl von Einrichtungsbildungsbereichen.

Ein achtundvierzigster Aspekt der vorliegenden Erfindung ist auf ein Verfahren des Entwerfens einer Halbleitereinrichtung mit einem Halbleitersubstrat, einer vergrabenen Isolierschicht und einer SOI-Schicht gerichtet, in der eine CMOS-Einrichtung gebildet werden soll. Entsprechend der vorliegenden Erfindung enthält das Verfahren die Schritte:

- (a) Erhalten von alten Daten betreffend einer CMOS-Einrichtung, die einen ersten MOS-Transistor eines ersten Leitungstyps, der in einem Wannenbereich gebildet ist, und einen zweiten MOS-Transistor eines zweiten Leitungstyps, der außerhalb des Wannenbereiches gebildet ist, enthält,
- (b) Definieren eines ersten MOS-Transistorbildungsbereiches des ersten Leitungstyps und eines zweiten MOS-Transistorbildungsbereiches des zweiten Leitungstyps basierend auf den alten Daten und
- (c) Definieren eines vollständigen Trennbereiches, der einen vollständigen Isolierbereich enthält, der sich durch die SOI-Schicht erstreckt, in der Nähe eines durch die alten Daten definierten äußeren Umfanges bzw. äußeren Peripherie des Wannenbereiches.

Wie oben beschrieben wurde, enthält in der Halbleitereinrichtung entsprechend einem ersten Aspekt der vorliegenden Erfindung zumindest ein Teil des zumindest einen Trennbereiches den Teiltrennbereich mit dem Teilisolierbereich, der in dem oberen Teil davon vorgesehen ist, und dem Halbleiterbereich, der in dem unteren Teil davon vorgesehen ist und als ein Teil der SOI-Schicht dient, wobei der Halblei-

terbereich in Kontakt mit dem zumindest einem der Mehrzahl von Einrichtungsbildungsbereichen und dem Körperbereich gebildet ist. Somit isoliert der Teilisolierbereich die Mehrzahl von Einrichtungsbildungsbereichen voneinander, und der Halbleiterbereich und der Körperbereich fixieren das elektrische Potential des zumindest einen Einrichtungsbildungsbereiches.

Als Ergebnis wird eine Halbleitereinrichtung mit dem SOI-Aufbau, bei der der zumindest eine Einrichtungsbildungsbereich einen verringerten Effekt des schwebenden Substrates aufweist, erzielt.

Bei der Halbleitereinrichtung gemäß dem zweiten Aspekt der vorliegenden Erfindung sind die Mehrzahl von ersten Einrichtungsbildungsbereichen voneinander durch den ersten Teiltrennbereich getrennt, und sind die Mehrzahl von zweiten Einrichtungsbildungsbereichen voneinander durch den zweiten Teiltrennbereich getrennt. Der vollständige Trennbereich, der sich durch die SOI-Schicht erstreckt, stellt eine Trennung zwischen der Mehrzahl von ersten Einrichtungsbildungsbereichen und der Mehrzahl von zweiten Einrichtungsbildungsbereichen bereit. Dies ermöglicht eine vollständige Isolierung der Einrichtungsbildungsbereiche für unterschiedliche Typen von Einrichtungen voneinander und verringert den Effekt des schwebenden Substrates der Einrichtungsbildungsbereiche für den gleichen Typ von Einrichtungen.

Bei der Halbleitereinrichtung gemäß dem dritten Aspekt der vorliegenden Erfindung sind die Mehrzahl von Einrichtungsbildungsbereichen für die erste Schaltung voneinander durch den vollständigen Trennbereich getrennt, der sich durch die SOI-Schicht erstreckt, und sind die Mehrzahl von Einrichtungsbildungsbereichen für die zweite Schaltung voneinander durch den Teiltrennbereich getrennt.

Somit kann eine Schaltung, für die der Einfluß des Effektes des schwebenden Substrates als signifikant angesehen wird, als die zweite Schaltung behandelt werden, und eine Schaltung, für die der Einfluß des Effektes des schwebenden Substrates nicht signifikant berücksichtigt werden muß, kann als die erste Schaltung behandelt werden. Dies stellt eine geeignete Isolierung basierend auf den Eigenschaften der zu bildenden Schaltungen bereit.

Bei der Halbleitereinrichtung gemäß einem vierten Aspekt der vorliegenden Erfindung ist die erste Teil-SOI-Schicht dünner als die zweite Teil-SOI-Schicht. Die Mehrzahl von Einrichtungsbildungsbereichen für die erste Schaltung sind in der ersten Teil-SOI-Schicht gebildet, und die Mehrzahl von Einrichtungsbildungsbereichen für die zweite Schaltung sind in der zweiten Teil-SOI-Schicht gebildet.

Somit können unter Verwendung der Unterschied der Dicken zwischen der ersten und zweiten Teil-SOI-Schicht ein Graben für eine vollständige Trennung, der sich durch die erste Teil-SOI-Schicht erstreckt, und ein Graben für eine Teiltrennung, der sich nicht durch die zweite Teil-SOI-Schicht erstreckt, gleichzeitig in der ersten und zweiten Teil-SOI-Schicht entsprechend gebildet werden. Dies vereinfacht die Herstellungsschritte.

Bei der Halbleitereinrichtung gemäß dem fünften Aspekt der vorliegenden Erfindung stellt der vollständige Trennbereich, der sich durch die SOI-Schicht erstreckt, eine Trennung zwischen dem Einrichtungsbildungsbereich für die vorbestimmte Schaltung und dem Einrichtungsbildungsbereich für eine andere Schaltung als die vorbestimmte Schaltung bereit. Daher kann die andere Schaltung als die vorbestimmte Schaltung vollständig den Einfluß der vorbestimmten Schaltung ausschließen.

Bei der Halbleitereinrichtung gemäß dem sechsten Aspekt der vorliegenden Erfindung weist die Einrichtung, die in dem Einrichtungsbildungsbereich gebildet ist, der

durch den Teiltrennbereich getrennt ist, den aktiven Bereich auf, der in einer Tiefe von der Oberfläche der SOI-Schicht gebildet ist, die flacher ist als die Tiefe, bei der der Teiltrennbereich gebildet ist. Dies minimiert die Verschlechterung der Trenneigenschaften des Teiltrennbereiches.

Bei der Halbleitereinrichtung gemäß dem siebten Aspekt der vorliegenden Erfindung enthält die Halbleitereinrichtung den Polysiliziumbereich. Daher ist die Halbleitereinrichtung mit hoher Genauigkeit gebildet.

Bei der Halbleitereinrichtung gemäß dem achten Aspekt der vorliegenden Erfindung enthält der Teilisolierbereich den Film mit geringer dielektrischer Konstante. Dies minimiert die Schwierigkeit, die auf der Kapazität des Teiltrennbereiches beruht.

Bei der Halbleitereinrichtung gemäß dem neunten Aspekt der vorliegenden Erfindung enthält der Teilisolierbereich den Teilisolierfilm, der zumindest auf der Seitenoberfläche vorgesehen ist, und den Film mit niedriger dielektrischer Konstante, der in den anderen Bereichen vorgesehen ist. Der Teilisolierfilm kann effektiv den Einfluß der Einrichtung unterdrücken, die in einer seitlichen Beziehung zu dem Teilisolierbereich gebildet ist. Zur gleichen Zeit wird die Schwierigkeit, die auf der Kapazität des Teilisolierbereiches beruht, unterdrückt.

Die Halbleitereinrichtung gemäß dem zehnten Aspekt der vorliegenden Erfindung enthält die Mehrzahl von Trennbereichen von denen zumindest einer die vorbestimmte Breite aufweist und sich im wesentlichen senkrecht zu der Oberfläche des Halbleitersubstrates erstreckt. Dies stellt eine Vorrichtungstrennung ohne Verschlechterung des Integrationsgrades bereit.

Die Halbleitereinrichtung gemäß dem elften Aspekt der vorliegenden Erfindung enthält den Körperbereich, der in Kontakt mit der oberen Oberfläche oder der Bodenoberfläche von zumindest einem der Mehrzahl von Einrichtungsbildungsbereichen gebildet ist. Daher kann der Körperbereich das elektrische Potential des zumindest einen Einrichtungsbildungsbereiches fixieren.

In der Halbleitereinrichtung gemäß dem zwölften Aspekt der vorliegenden Erfindung ist der Körperbereich in dem oberen Abschnitt der vergrabenen Isolierschicht gebildet, die unterhalb der SOI-Schicht liegt, und minimiert so nachteilige Effekte der Einrichtungstrenneigenschaften von dem Trennbereich.

Bei der Halbleitereinrichtung gemäß dem dreizehnten Aspekt der vorliegenden Erfindung erstreckt sich der Körperbereich durch die vergrabene Isolierschicht. Daher kann das elektrische Potential des zumindest einen Einrichtungsbildungsbereiches durch den Körperbereich fixiert sein, der näher an dem Halbleitersubstrat positioniert ist.

Bei der Halbleitereinrichtung gemäß dem vierzehnten Aspekt der vorliegenden Erfindung ist der Körperbereich auf dem zumindest einen Einrichtungsbildungsbereich gebildet und ist in Kontakt mit der oberen Oberfläche des zumindest einen Einrichtungsbildungsbereiches. Somit ist der Körperbereich relativ leicht gebildet.

In der Halbleitereinrichtung gemäß dem fünfzehnten Aspekt der vorliegenden Erfindung enthält zumindest ein Teil des zumindest einen Trennbereiches weiter den kombinierten Trennbereich, der den Teiltrennbereich und den vollständigen Isolierbereich, der sich durch die SOI-Schicht erstreckt, aufweist, wobei der Teiltrennbereich und der vollständige Isolierbereich miteinander kontinuierlich ausgebildet sind. Zumindest zwei der Einrichtungsbildungsbereiche, die voneinander durch den kombinierten Trennbereich getrennt sind, sind vollständig isolierend voneinander getrennt durch den kompletten Isolierbereich des kombinierten Trennbereiches.

Die Halbleitereinrichtung gemäß dem sechzehnten Aspekt der vorliegenden Erfindung enthält den Teiltrennbereich mit der flachen und gleichmäßigen oberen Oberfläche, wodurch das Bemustern zum Bilden von Elementen einer vorbestimmten Einrichtung, z. B. der Gateelektrode eines MOS-Transistors, erleichtert wird.

Bei der Halbleitereinrichtung gemäß dem siebzehnten Aspekt der vorliegenden Erfindung ist die Dicke des Halbleiterbereiches des kombinierten Trennbereiches nicht größer als die halbe Dicke der SOI-Schicht. Somit stellt der kombinierte Trennbereich einen ausreichend hohen Grad der Trenneigenschaft bereit.

Bei der Halbleitereinrichtung gemäß dem achtzehnten Aspekt der vorliegenden Erfindung ist die Breite des vollständigen Isolierbereiches des kombinierten Trennbereiches nicht größer als die halbe Breite eines kombinierten Trennbereiches. Der Halbleiterbereich des Teiltrennbereiches, der den kombinierten Trennbereich bildet, weist eine ausreichende Fläche auf, und das elektrische Potential eines Einrichtungsbereiches in Kontakt mit dem Halbleiterbereich ist stabil fixiert.

Die Halbleitereinrichtung gemäß dem neunzehnten Aspekt der vorliegenden Erfindung enthält den vollständigen Trennbereich, der zumindest in der Nähe der Grenze zwischen dem Eingabe/Ausgabe-NMOS-Transistorbildungsbereich und dem Eingabe/Ausgabe-PMOS-Transistorbildungsbereich gebildet ist, wodurch ein Durchgriff effektiv unterdrückt wird.

Die Halbleitereinrichtung gemäß dem zwanzigsten Aspekt der vorliegenden Erfindung enthält den vollständigen Trennbereich, der weiter in der Nähe der Grenze zwischen dem Eingabe/Ausgabe-Transistorbildungsbereich und dem internen Schaltungsbereich gebildet ist. Dies schließt vollständig den Einfluß des Eingabe/Ausgabe-Transistorbildungsbereiches, der auf Rauschen von dem internen Schaltungsbereich empfindlich ist, aus.

In der Halbleitereinrichtung gemäß dem einundzwanzigsten Aspekt der vorliegenden Erfindung ist der vollständige Trennbereich in dem vollständigen Trennbereichsbildungs-ort gebildet, der innerhalb des PMOS-Transistorbildungsbereiches in der Nähe der Grenze zwischen dem NMOS-Transistorbildungsbereich und dem PMOS-Transistorbildungsbereich angeordnet ist. Der Teiltrennbereich umgibt den NMOS-Transistorbildungsbereich und den PMOS-Transistorbildungsbereich mit Ausnahme des vollständigen Trennbereichsbildungs-ortes. Daher ist das elektrische Potential des Substrates des NMOS-Transistor ausreichend fixiert, und die vollständige Trennung ist zwischen dem NMOS-Transistorbildungsbereich und dem PMOS-Transistorbildungsbereich mit einer hohen Flächeneffektivität vorgesehen.

Bei der Halbleitereinrichtung gemäß dem zweiundzwanzigsten Aspekt der vorliegenden Erfindung ist der Teiltrennbereich in dem Teiltrennbereichsbildungs-ort gebildet, der zumindest in der Nähe des ersten Endes der Gateelektrode des MOS-Transistorbildungsbereiches angeordnet ist. Der vollständige Trennbereich umgibt den MOS-Transistorbildungsbereich mit Ausnahme des Teiltrennbereichsbildungs-ortes. Daher trennt der vollständige Trennbereich im wesentlichen vollständig den MOS-Transistorbildungsbereich von dem ihn umgebenden Bereich, wohingegen das elektrische Potential des Kanalbildungsbereiches unterhalb der Gateelektrode des MOS-Transistors effektiv fixiert ist.

Die Halbleitereinrichtung gemäß dem dreiundzwanzigsten Aspekt der vorliegenden Erfindung enthält den Körperbereich, der den peripheren Körperbereich des zweiten Leitungstyps enthält, der den peripheren Teiltrennbereich umgibt. Ein Fixieren des elektrischen Potentials des peripheren

Körperbereichs ermöglicht, daß der Transistorbildungs- bereich effektiv getrennt wird von dem ihn umgebenden Bereich.

Die Halbleitereinrichtung gemäß dem vierundzwanzigsten Aspekt der vorliegenden Erfindung enthält den Sourcenachbarschaftskörperbereich, der benachbart zu dem Sourcebereich des MOS-Transistorbildungsbereiches vorgesehen ist und gemeinsam mit dem Sourcebereich durch den Einstellbereich des elektrischen Potentials verbunden ist. Da der Sourcenachbarschaftskörperbereich benachbart zu dem Sourcebereich gebildet ist, wird folglich der Integrationsgrad erhöht.

Bei der Halbleitereinrichtung gemäß dem fünfundzwanzigsten Aspekt der vorliegenden Erfindung enthält der Halbleiterbereich des Teiltrennbereiches den ersten und zweiten Teilhalbleiterbereich mit verschiedenen Dotierungskonzentrationen. Dies stellt den Halbleiterbereich bereit, der geeignet ist zur Trennung von Eigenschaften des Teiltrennbereiches und zur Verringerung des Effektes des schwebenden Substrates.

Bei der Halbleitereinrichtung gemäß dem sechsundzwanzigsten Aspekt der vorliegenden Erfindung enthält der erste Teilhalbleiterbereich mit einer relativ hohen Dotierungskonzentration den peripheren Bereich, der benachbart zu einem von der Mehrzahl von Einrichtungsbereichen, der zu isolieren ist, angeordnet ist. Dies erhöht die Widerstandsfähigkeit gegen ein Durchgriff aufgrund der Trennung des Teiltrennbereiches.

Bei der Halbleitereinrichtung gemäß dem siebenundzwanzigsten Aspekt der vorliegenden Erfindung enthält der erste Teilhalbleiterbereich mit einer relativ hohen Dotierungskonzentration den Bereich benachbart zu der Gateelektrode des MOS-Transistorbereiches, und der zweite Teilhalbleiterbereich mit einer relativ geringen Dotierungskonzentration enthält den Bereich benachbart zu dem Drain/Source des MOS-Transistorbildungsbereiches. Dies führt zu der Reduzierung der PN-Übergangskapazität und dem Anstieg der Widerstandsfähigkeit gegen einen Durchgriff.

Bei der Halbleitereinrichtung gemäß dem achtundzwanzigsten Aspekt der vorliegenden Erfindung ist die Spitze der Dotierungskonzentration des Halbleiterbereiches des Teiltrennbereiches tiefer von der Oberfläche SOI-Schicht als die Spitze der Dotierungskonzentration des Drain/Source-Bereiches des MOS-Transistorbildungsbereiches. Dies erhöht die Durchbruchsspannung des PN-Überganges des Drain/Source-Bereiches und des Halbleiterbereiches.

Bei der Halbleitereinrichtung gemäß dem neunundzwanzigsten Aspekt der vorliegenden Erfindung liegt die Spitze der Dotierungskonzentration des Kanalbildungsbereiches des MOS-Transistorbildungsbereiches tiefer von der Oberfläche der SOI-Schicht als die Spitze der Dotierungskonzentration des Halbleiterbereiches des Teiltrennbereiches. Daher übersteigt die Schwellenspannung des MOS-Transistors nicht einen gewünschten Wert.

Bei der Halbleitereinrichtung gemäß dem dreißigsten Aspekt der vorliegenden Erfindung ist die Dotierungskonzentration des ersten Teilhalbleiterbereiches, der benachbart zu dem kompletten Isolierbereich gebildet ist, größer als die des zweiten Teilhalbleiterbereiches, der der Rest des Halbleiterbereiches ist. Dies unterdrückt ungewünschte Bedingungen, die von der die SOI-Schicht angelegten Beanspruchungen resultieren.

Bei der Halbleitereinrichtung gemäß dem einunddreißigsten Aspekt der vorliegenden Erfindung ist der Krümmungsradius des Bodeneckteils des Teiltrennbereiches größer als der des Oberflächeneckteiles des Teiltrennbereiches, wodurch die an die SOI-Schicht angelegten Beanspruchungen vermindert werden, während die Trennungsbreite reduziert

wird.

Bei der Halbleitereinrichtung gemäß dem zweiunddreißigsten Aspekt der vorliegenden Erfindung ist der Krümmungsradius des gestuften Teiles, der zwischen dem vollständigen Isolierbereich und dem Teilisolierbereich definiert ist, geringer als der des Bodeneckteiles des Teilisolierbereiches in dem kombinierten Trennbereich. Somit werden auf die SOI-Schicht einwirkenden Beanspruchungen vermindert, während die Trennungsbreite verringert wird.

Die Halbleitereinrichtung gemäß dem dreiunddreißigsten Aspekt der vorliegenden Erfindung enthält den vollständigen Trennbereich, der unterhalb des Induktionsbildungsbereiches gebildet ist, wodurch die parasitäre Kapazität, die mit dem Induktionselement verbunden ist, reduziert wird.

Bei der Halbleitereinrichtung gemäß dem vierunddreißigsten Aspekt der vorliegenden Erfindung enthält der Körperbereich den mit einem Gate verbundenen Körperbereich, der elektrisch mit der Gateelektrode des MOS-Transistors verbunden ist, der in dem MOS-Transistorbildungsbereich gebildet ist, und der Teiltrennbereich umgibt den MOS-Transistorbildungsbereich. Dies erhöht die Leistungsfähigkeit des DT-MOS-Transistors, der die Gateelektrode und den mit einem Gate verbundenen Körperbereich auf das gleiche Potential setzt.

Bei der Halbleitereinrichtung gemäß dem fünfunddreißigsten Aspekt der vorliegenden Erfindung wird die Tiefe des aktiven Bereiches der Vorrichtung derart gesteuert, daß die Verarmungs- bzw. Sperrschicht, die sich von dem aktiven Bereich erstreckt, nicht die vergrabene Isolierschicht in einem Diffusionsspannungszustand (eingebauter Zustand) erreicht. Dies vermindert die Übergangskapazität zwischen dem Halbleiterbereich des Teiltrennbereiches und dem aktiven Bereich.

Bei der Halbleitereinrichtung gemäß dem sechsunddreißigsten Aspekt der vorliegenden Erfindung enthält der Feldtransistor den Gateteil, der zwischen dem ersten und zweiten aktiven Bereich gebildet ist, und enthält den Feldtransistorteilisolierbereich, der in dem oberen Teil davon gebildet ist, und den Feldtransistorhalbleiterbereich, der in dem unteren Teil davon gebildet ist und als ein Teil der SOI-Schicht dient.

Da der Gateteil grundsätzlich ähnlich in der Konstruktion zu dem Teiltrennbereich ist, können der Gateteil und der Teiltrennbereich zur gleichen Zeit gebildet werden, wodurch der Feldtransistor relativ leicht gebildet wird.

Bei der Halbleitereinrichtung gemäß dem siebenunddreißigsten Aspekt der vorliegenden Erfindung enthält der periphere Trennbereich den Teiltrennbereich mit dem Teilisolierbereich, der in dem oberen Teil davon gebildet ist, und den Halbleiterbereich, der in dem unteren Teil davon gebildet ist und als Teil der SOI-Schicht dient. Der Halbleiterbereich des Teiltrennbereiches ist in Kontakt mit dem Einrichtungsbereich gebildet und ist schwebend. Der Teilisolierbereich trennt den Einrichtungsbereich von dem ihn umgebenden Bereich, und der Halbleiterbereich verteilt die in dem Einrichtungsbereich durch Stoßionisation erzeugten Ladungsträger und die durch Höhenstrahlung erzeugte elektrische Ladung. Daher wird der Anstieg des elektrischen Potentials unterdrückt und eine Widerstandsfähigkeit gegen weiche Fehler wird verbessert.

Bei der Halbleitereinrichtung, die durch das Verfahren gemäß dem achtunddreißigsten Aspekt der vorliegenden Erfindung hergestellt ist, wird ein Einrichtungsbereich, der in der Mehrzahl von Einrichtungsbereichen enthalten ist und der durch den Isolierfilm in dem zumindest einem der Gräben und dem Teil der SOI-Schicht, die unterhalb des zumindest einen Grabens liegt, getrennt ist, einer Trennung ausgesetzt, wobei der Effekt des schwebenden

Substrates unterdrückt wird.

Die Mehrzahl von Einrichtungsbereichen, die durch das Verfahren gemäß dem neununddreißigsten Aspekt der vorliegenden Erfindung gebildet sind, werden durch den Isolierfilm in dem ersten Graben und dem Teil der SOI-Schicht, der unterhalb des ersten Grabens liegt, getrennt, wobei der Effekt des schwebenden Substrates unterdrückt wird, und werden komplett getrennt durch den Isolierfilm in dem zweiten Graben, der sich durch die SOI-Schicht erstreckt.

Das Verfahren gemäß dem vierzigsten Aspekt der vorliegenden Erfindung verwendet den Unterschied der Breite zwischen dem ersten und dem zweiten Graben, um die SOI-Schicht unter der Mitte des zweiten Grabens unter Verwendung der Seitenwandelemente als Maske zu durchdringen, wodurch selektiv der Teiltrennbereich und der vollständige Trennbereich ohne Verwendung eines Photoresists gebildet werden.

Bei dem Verfahren gemäß dem einundvierzigsten Aspekt der vorliegenden Erfindung wird die Dotierung in die Teile der SOI-Schicht eingebracht, die unterhalb der Mehrzahl von Gräben liegen, um die Hochkonzentrationsbereiche zu bilden. Dies ermöglicht, daß das elektrische Potential des Einrichtungsbereiches, der in Kontakt mit Hochkonzentrationsbereichen steht, über die Hochkonzentrationsbereiche fixiert wird mit einer guten Stabilität.

Bei dem Verfahren gemäß dem zweiundvierzigsten Aspekt der vorliegenden Erfindung weist die SOI-Schicht, die die Siliziumschicht und die epitaktisch gewachsene Schicht aufweist, eine gute Kristallinität auf.

Bei dem Verfahren gemäß dem dreiundvierzigsten Aspekt der vorliegenden Erfindung bilden der Isolierfilm in dem ersten Graben und die Polysiliziumschicht, die in dem ersten Graben verbleibt, den Teiltrennbereich. Somit, weist die Polysiliziumschicht, die elektrisch mit einem Einrichtungsbereich verbunden ist, eine gut gesteuerte Dicke auf.

Bei einem Verfahren gemäß dem vierundvierzigsten Aspekt der vorliegenden Erfindung wird das Loch, das in der vergrabenen Isolierschicht gebildet ist, mit der Polysiliziumschicht derart gefüllt, daß der Körperbereich gebildet wird, der elektrisch mit zumindest einen Vorrichtungsbereich verbunden ist.

Daher wird der Körperbereich in der vergrabenen Isolierschicht, die unterhalb der SOI-Schicht liegt, derart gebildet, daß der nachteilige Effekt bei der Isolierung, der durch den Trennbereich bereitgestellt wird, minimiert wird.

Bei dem Verfahren gemäß dem fünfundvierzigsten Aspekt der vorliegenden Erfindung enthält der Körperbereich die epitaktisch gewachsene Schicht, die durch epitaktisches Wachsen von der Bodenoberfläche der Endabschnitte des zumindest einen Einrichtungsbereiches gewachsen ist, und die Polysiliziumschicht.

Somit ermöglicht das Vorsehen der epitaktisch gewachsenen Schicht einen ausreichenden Abstand zwischen einer in dem zumindest einen Einrichtungsbereich gebildeten Einrichtung und der Polysiliziumschicht. Daher weist die Halbleitereinrichtung, die durch das Verfahren des fünfundvierzigsten Aspektes hergestellt ist, zufriedenstellende elektrische Eigenschaften auf. Bei dem Verfahren gemäß dem sechsundvierzigsten Aspekt der vorliegenden Erfindung enthält der Schritt (d) den Schritt des Implantierens der Dotierung des vorbestimmten Leitungstyps derart, daß die Spitze der Dotierungskonzentrationsverteilung in dem oberen Teil der SOI-Schicht liegt und daß ein Kanaleffekt verursacht wird und so der aktive Bereich der vorbestimmten Einrichtung gebildet wird. Dies stellt den aktiven Bereich der vorbestimmten Einrichtung bereit, der es ermöglicht, daß die Spitze der Dotierungskonzentration in dem oberen

Teil der SOI-Schicht vorhanden ist und der die zu der Oberfläche des vergrabenen Isolierfilmes verteilte Dotierung aufgrund des Kanaleffektes aufweist.

Bei dem Verfahren gemäß dem siebenundvierzigsten Aspekt der vorliegenden Erfindung können die Schritte (b) und (c) derart durchgeführt werden, daß gleichzeitig der kombinierte Graben für den kombinierten Trennbereich und der nicht durchgehende Graben für den Teiltrennbereich gebildet werden.

In dem Schritt (c) des Verfahrens gemäß dem achtundvierzigsten Aspekt der vorliegenden Erfindung wird der vollständige Trennbereich, der den vollständigen Isolierbereich enthält, der sich durch die SOI-Schicht erstreckt, in der Nähe des äußeren Umfanges des Wannenbereichs der alten Daten definiert. Daher verwendet das Verfahren effektiv die alten Daten derart, daß der vollständige Trennbereich definiert wird, der effektiv den ersten und zweiten MOS-Transistorbildungsbereich voneinander trennt.

Diese und andere Aufgaben, Merkmale, Aspekte und Vorteile der vorliegenden Erfindung werden deutlicher von der folgenden detaillierten Beschreibung von Ausführungsformen der vorliegenden Erfindung anhand der Figuren. Von den Figuren zeigen:

Fig. 1 eine Schnittansicht einer ersten Form einer Halbleitereinrichtung mit einem SOI-Aufbau gemäß einer ersten bevorzugten Ausführungsform der vorliegenden Erfindung,

Fig. 2 eine Schnittansicht der ersten Form der ersten bevorzugten Ausführungsform,

Fig. 3 eine Draufsicht der ersten Form der ersten bevorzugten Ausführungsform,

Fig. 4 eine Schnittansicht einer zweiten Form der Halbleitereinrichtung gemäß der ersten bevorzugten Ausführungsform,

Fig. 5 eine Schnittansicht einer ersten Form einer zweiten bevorzugten Ausführungsform der vorliegenden Erfindung,

Fig. 6 eine Schnittansicht einer zweiten Form der zweiten bevorzugten Ausführungsform,

Fig. 7 eine Schnittansicht einer dritten Form der zweiten bevorzugten Ausführungsform,

Fig. 8–11 Schnittansichten, die den ersten Trennvorgang gemäß der zweiten bevorzugten Ausführungsform zeigen,

Fig. 12 und 13 Schnittansichten, die einen Hochkonzentrationswannenbildungsvorgang zeigen,

Fig. 14–18 Schnittansichten, die einen zweiten Trennvorgang gemäß der zweiten bevorzugten Ausführungsform zeigen,

Fig. 19–22 Schnittansichten, die einen dritten Trennvorgang gemäß der zweiten bevorzugten Ausführungsform zeigen,

Fig. 23–27 Schnittansichten, die einen vierten Trennvorgang gemäß der zweiten bevorzugten Ausführungsform zeigen,

Fig. 28 Schnittansicht, die eine erste Form einer dritten bevorzugten Ausführungsform gemäß der vorliegenden Erfindung zeigt,

Fig. 29 eine Schnittansicht, die eine zweite Form der dritten bevorzugten Ausführungsform zeigt,

Fig. 30 u. 31 Schnittansichten, die einen SOI-Aufbau gemäß einer vierten bevorzugten Ausführungsform der vorliegenden Erfindung zeigen,

Fig. 32 eine Schnittansicht eines anderen SOI-Aufbaus gemäß einer vierten bevorzugten Ausführungsform,

Fig. 33–37 Schnittansichten, die einen Trennvorgang gemäß der vierten bevorzugten Ausführungsform zeigen,

Fig. 38 eine Schnittansicht einer ersten Form einer fünften bevorzugten Ausführungsform gemäß der vorliegenden Erfindung,

Fig. 39 eine Schnittansicht einer zweiten Form der fünf-

ten bevorzugten Ausführungsform,

Fig. 40 eine Schnittansicht einer dritten Form der fünften bevorzugten Ausführungsform,

Fig. 41 eine Schnittansicht einer ersten Form einer sechsten bevorzugten Ausführungsform gemäß der vorliegenden Erfindung,

Fig. 42 eine Schnittansicht einer zweiten Form der sechsten bevorzugten Ausführungsform,

Fig. 43–45 Schnittansichten, die einen ersten Verbindungsbereichsbildungsvorgang gemäß der sechsten bevorzugten Ausführungsform zeigen,

Fig. 46–48 Schnittansichten, die einen zweiten Verbindungsbereichsbildungsvorgang gemäß der sechsten bevorzugten Ausführungsform zeigen,

Fig. 49–51 Schnittansichten, die einen dritten Verbindungsbereichsbildungsvorgang gemäß der sechsten bevorzugten Ausführungsform zeigen,

Fig. 52 eine Schnittansicht einer dritten Form der sechsten bevorzugten Ausführungsform,

Fig. 53 eine Schnittansicht einer vierten Form der sechsten bevorzugten Ausführungsform,

Fig. 54 eine Schnittansicht einer fünften Form einer sechsten bevorzugten Ausführungsform,

Fig. 55 eine Schnittansicht einer vierten Form der zweiten bevorzugten Ausführungsform,

Fig. 56 eine Schnittansicht einer fünften Form der zweiten bevorzugten Ausführungsform,

Fig. 57 eine Schnittansicht einer sechsten Form der zweiten bevorzugten Ausführungsform,

Fig. 58–62 Schnittansichten, die einen fünften Trennvorgang gemäß der zweiten bevorzugten Ausführungsform zeigen,

Fig. 63 ein Verfahren des Definierens eines vollständigen Trennbereiches gemäß einer siebten bevorzugten Ausführungsform der vorliegenden Erfindung,

Fig. 64 einen Durchgriff,

Fig. 65 eine Schnittansicht einer ersten Form einer achten bevorzugten Ausführungsform gemäß der vorliegenden Erfindung,

Fig. 66 ein Schaltbild einer Eingabeschaltung,

Fig. 67 ein Schaltbild einer Ausgabeschaltung,

Fig. 68 eine Schnittansicht einer zweiten Form der achten bevorzugten Ausführungsform,

Fig. 69 eine Draufsicht einer dritten Form der achten bevorzugten Ausführungsform,

Fig. 70 eine Draufsicht einer ersten Form einer neunten bevorzugten Ausführungsform gemäß der vorliegenden Erfindung,

Fig. 71 eine Schnittansicht entlang der A-A von Fig. 70,

Fig. 72 eine Draufsicht einer zweiten Form einer neunten bevorzugten Ausführungsform,

Fig. 73 eine Schnittansicht entlang der Linie B-B von Fig. 72,

Fig. 74 eine Draufsicht einer ersten Form einer zehnten bevorzugten Ausführungsform gemäß der vorliegenden Erfindung,

Fig. 75 eine Draufsicht einer zweiten Form der zehnten bevorzugten Ausführungsform,

Fig. 76 eine Draufsicht einer ersten Form einer elften bevorzugten Ausführungsform gemäß der vorliegenden Erfindung,

Fig. 77 eine Draufsicht einer zweiten Form der elften bevorzugten Ausführungsform,

Fig. 78 eine Draufsicht einer ersten Form einer zwölften bevorzugten Ausführungsform gemäß der vorliegenden Erfindung,

Fig. 79 eine Schnittansicht entlang der Linie C-C von Fig. 78,

Fig. 80 eine Draufsicht einer zweiten Form der zwölften bevorzugten Ausführungsform,

Fig. 81 eine Schnittansicht entlang der Linie D-D von **Fig. 80**,

Fig. 82 eine Draufsicht einer dritten Form der zwölften bevorzugten Ausführungsform,

Fig. 83 eine Schnittansicht einer dreizehnten bevorzugten Ausführungsform gemäß der vorliegenden Erfindung,

Fig. 84 ein Merkmal einer ersten Form einer vierzehnten bevorzugten Ausführungsform gemäß der vorliegenden Erfindung,

Fig. 85 ein Merkmal einer zweiten Form der vierzehnten bevorzugten Ausführungsform,

Fig. 86 eine Schnittansicht einer ersten Form einer fünfzehnten bevorzugten Ausführungsform gemäß der vorliegenden Erfindung,

Fig. 87 eine Draufsicht einer zweiten Form der fünfzehnten bevorzugten Ausführungsform,

Fig. 88 eine Schnittansicht der ersten Form einer sechzehnten bevorzugten Ausführungsform gemäß der vorliegenden Erfindung,

Fig. 89 eine Schnittansicht einer zweiten Form der sechzehnten bevorzugten Ausführungsform,

Fig. 90 eine Schnittansicht einer ersten Form einer siebenzehnten bevorzugten Ausführungsform gemäß der vorliegenden Erfindung,

Fig. 91 ein Schaltbild, das eine Schaltungsanordnung der siebenzehnten bevorzugten Ausführungsform zeigt,

Fig. 92 eine Schnittansicht einer zweiten Form der siebenzehnten bevorzugten Ausführungsform,

Fig. 93 eine Draufsicht eines DT-MOS-Transistors einer achtzehnten bevorzugten Ausführungsform gemäß der vorliegenden Erfindung,

Fig. 94 eine Schnittansicht einer neunzehnten bevorzugten Ausführungsform gemäß der vorliegenden Erfindung,

Fig. 95 eine Schnittansicht einer ersten Form einer zwanzigsten bevorzugten Ausführungsform gemäß der vorliegenden Erfindung,

Fig. 96 ein Schaltbild einer Eingabeschaltung, bei der Feldtransistoren gemäß der zwanzigsten bevorzugten Ausführungsform verwendet werden,

Fig. 97 ein Schaltbild einer Ausgabeschaltung, bei der die Feldtransistoren gemäß der zwanzigsten bevorzugten Ausführungsform verwendet werden,

Fig. 98 eine Schnittansicht einer zweiten Form der zwanzigsten bevorzugten Ausführungsform,

Fig. 99 eine Draufsicht einer dritten Form der zwanzigsten bevorzugten Ausführungsform,

Fig. 100 eine Dotierungsverteilung in einem Drain/Source-Bereich,

Fig. 101 eine Schnittansicht entlang der Linie E-E von **Fig. 74** und

Fig. 102 eine Schnittansicht einer der Anmelderin bekannten Halbleitereinrichtung mit dem SOI-Aufbau.

Erste bevorzugte Ausführungsform

Fig. 1 bis **3** zeigen die Konstruktion einer Halbleitereinrichtung mit einem SOI-Aufbau gemäß einer ersten bevorzugten Ausführungsform. **Fig. 1** und **2** sind Schnittansichten und **Fig. 3** ist eine Draufsicht. Die Querschnitte entlang der Linie A-A und B-B entsprechen **Fig. 1** bzw. **2**.

Wie in **Fig. 1** bis **3** gezeigt ist, ist die Halbleitereinrichtung mit dem SOI-Aufbau, der ein Siliziumsubstrat **1**, einen vergrabenen Oxidfilm **2** und eine SOI-Schicht **3** aufweist, derart konstruiert, daß ein Teiloxydfilm **31** mit darunter gebildeten Wannenbereichen Transistorbildungsbereiche in der SOI-Schicht **3** voneinander trennt. Ein p-Wannenbereich

11 ist unterhalb einem Teil des Teiloxydfilms **31**, der die NMOS-Transistoren voneinander trennt, gebildet. Ein n-Wannenbereich **12** ist unterhalb eines Teils des Teiloxydfilms **31**, der PMOS-Transistoren voneinander trennt, gebildet. Der p-Wannenbereich **11** (näher an den NMOS-Transistoren) und der n-Wannenbereich **12** (näher an den PMOS-Transistoren) sind unterhalb einem Teil des Teiloxydfilms **31**, der die NMOS- und PMOS-Transistoren voneinander trennt, gebildet. Der Wannenbereich **11** ist derart gebildet, daß er die Drain- und Sourcebereiche **5** und **6** einer Gruppe von NMOS-Transistoren umgibt, und der Wannenbereich **12** ist derart gebildet, daß er die Drain- und Sourcebereiche **5** und **6** einer Gruppe von PMOS-Transistoren umgibt. In der ersten bevorzugten Ausführungsform bedeckt ein Zwischenschichtisolierfilm **4** die SOI-Schicht **3**.

Ein einzelner MOS-Transistor, der von anderen Transistoren durch den Teiloxydfilm **31** in der ersten Ausführungsform getrennt ist, enthält einen Drainbereich **5**, einen Sourcebereich **6** und einen Kanalbildungsbereich **7**, die in der SOI-Schicht **3** gebildet sind, einen Gateoxydfilm **8**, der auf dem Kanalbildungsbereich **7** gebildet ist, und eine Gateelektrode **9**, die auf dem Gateoxydfilm **8** gebildet ist. Eine Verbindungsschicht **22**, die auf dem Zwischenschichtisolierfilm **4** gebildet ist, ist elektrisch über einen Kontakt, der in dem Zwischenschichtisolierfilm **4** gebildet ist, mit dem Drainbereich **5** oder dem Sourcebereich **6** verbunden.

Wie in **Fig. 2** und **3** gezeigt ist, ist ein Körperbereich **10** durch den Wannenbereich **11** in der SOI-Schicht **3** umgeben. Der Körperbereich **10** ist in Kontakt mit einem benachbarten Teil des Wannenbereiches **11**. Eine Verbindungsschicht **25**, die auf dem Zwischenschichtisolierfilm **4** gebildet ist, ist elektrisch über einen Körperkontakt **23**, der in dem Zwischenschichtisolierfilm **4** gebildet ist, mit dem Körperbereich **10** verbunden. Eine Verbindungsschicht **26**, die auf dem Zwischenschichtisolierfilm **4** gebildet ist, ist elektrisch über einen Gatekontakt **24**, der in dem Zwischenschichtisolierfilm **4** gebildet ist, mit der Gateelektrode **9** verbunden.

Somit unterscheidet sich die Halbleitereinrichtung der ersten bevorzugten Ausführungsform, wie sie in **Fig. 1** bis **3** gezeigt ist, von der der Anmelderin bekannten Halbleitereinrichtung, die in **Fig. 102** gezeigt ist, darin, daß der Teiloxydfilm **31** in einem Trennbereich nicht bis zu dem Boden der SOI-Schicht **3** reicht und daß die Wannenbereiche **11** und **12**, die mit Verunreinigungen (Dotierungen) des gleichen Leitungstyps wie der Kanalbildungsbereich des zu trennenden Transistors dotiert sind, unterhalb des Teiloxydfilms **31** gebildet sind.

Daher ist das elektrische Potential des Substrates von jedem NMOS-Transistor über die Verbindungsschicht **25**, den Körperkontakt **23**, den Körperbereich **10** hoher Konzentration und den Wannenbereich **11** fixiert. Ähnlich ist das elektrische Potential des Substrates von jedem PMOS-Transistor über den Körperbereich fixiert.

Details der Halbleitereinrichtung der ersten bevorzugten Ausführungsform werden im folgenden mit Bezug zu **Fig. 1** bis **3** beschrieben. Der vergrabene Oxidfilm **2** weist eine Dicke in der Größe von 100 bis 500 nm auf und die SOI-Schicht **3** weist eine Dicke in der Größe von 30 bis 200 nm auf. Der Kanalbildungsbereich **7** ist beispielsweise gebildet durch die Implantation von Dotierungen eines ersten Leitungstyps (p-Dotierungen für die NMOS-Transistoren und n-Dotierungen für die PMOS-Transistoren) mit einer Konzentration in der Größe von 10^{17} bis $10^{18}/\text{cm}^3$. Die Drain- und Sourcebereiche **5** und **6**, die benachbart zu dem Kanalbildungsbereich **7** sind, sind beispielsweise gebildet durch Implantation von Dotierungen eines zweiten Leitungstyps (n-Dotierungen für die NMOS-Transistoren und p-Dotierungen für die PMOS-Transistoren) mit einer Konzentration

in der Größe von 10^{19} bis $10^{21}/\text{cm}^3$.

Der Teiloxydfilm 31 zum Trennen von benachbarten Transistoren voneinander ist gebildet durch Zurücklassen von unteren Teilen der SOI-Schicht 3, die in der Größe von 10 bis 100 nm sind, zum Bilden der Wannenbereiche. Es ist aufgrund der Mikrobearbeitung wünschenswert, daß die obere Oberfläche des Teiloxydfilmes 31 auf gleicher Höhe wie die Oberfläche der SOI-Schicht 3 ist. Wenn die SOI-Schicht 3 relativ dünn ist, ist es jedoch schwierig, daß der Teiloxydfilm 31 eine für die Trennung erforderliche Dicke aufweist. Somit erhöht ein Anheben der oberen Oberfläche des Teiloxydfilmes 31 auf ein Niveau, das höher ist als die Oberfläche der SOI-Schicht 3, die Trenneigenschaften.

Die Wannenbereiche 11 und 12, die unterhalb des Teiloxydfilmes 31 zur Oxidfilmtrennung gebildet sind, sind aus dem gleichen Leitungstyp wie der Kanalbildungsbereich bzw. die Kanalbildung (und weist eine Dotierungskonzentration von beispielsweise 10^{17} bis $5 \times 10^{18}/\text{cm}^3$ auf; die Dotierungskonzentration der Wannenbereiche 11 und 12 ist gleich oder höher als die des Kanalbildungsbereiches; um so höher die Dotierungskonzentration ist, desto besser ist ein Durchgriffsverhinderungseffekt und die Trenneigenschaft).

Der Körperbereich 10 ist, wie in Fig. 2 gezeigt ist, durch Implantation von Dotierungen des gleichen Leitungstyps wie sein benachbarter Wannenbereich 11 gebildet und weist eine relativ hohe Konzentration von 10^{19} bis $10^{21} (10^{21})/\text{cm}^3$ auf.

Der Körperbereich 10 von Fig. 2 erstreckt sich senkrecht von der oberen Oberfläche zu der Bodenoberfläche der SOI-Schicht 3, und der Körperkontakt 23 erstreckt sich senkrecht durch den Zwischenschichtisolierfilm 4. Ein Körperbereich, wie in Fig. 4 gezeigt ist, kann anstatt des Körperbereiches 10 vorgesehen sein.

Wie in Fig. 4 gezeigt ist, ist ein Körperbereich 20 nur in einem unteren Teil der SOI-Schicht 3 derart gebildet, daß er an die Anordnung des Körperkontaktes 23 angepaßt ist, der sich durch den Zwischenschichtisolierfilm 4 und den Teiloxydfilm 31 erstreckt. In diesem Fall ist ein Wannenbereich 28 benachbart zu dem Körperbereich 20 unterhalb des Teiloxydfilmes 31 gebildet.

Zur Bildung des Aufbaus von Fig. 4 ist es wünschenswert, Dotierungen hoher Konzentration zur Bildung des Körperbereiches 20 zu implantieren nachdem der Kontakt gebildet ist.

Zur Trennung der Vorrichtungen des gleichen Leitungstyps können die Wannenbereiche 11 und 12 nur durch Implantation von Dotierungen des gleichen Leitungstyps wie der Kanalbildungsbereich gebildet sein. Zur Trennung zwischen den PMOS- und NMOS-Transistoren ist es jedoch notwendig, den p-Wannenbereich 11 benachbart zu dem NMOS-Transistor und den n-Wannenbereich 12 benachbart zu dem PMOS-Transistor vorzusehen.

Ein solcher SOI-Aufbau kann hergestellt werden unter Verwendung einer Teilgrabentrenntechnik gemäß einer zweiten bevorzugten Ausführungsform, die später beschrieben wird.

Zweite bevorzugte Ausführungsform

Erste Form

Fig. 5 ist eine Schnittansicht einer ersten Form der Halbleitereinrichtung mit dem SOI-Aufbau gemäß der zweiten bevorzugten Ausführungsform. Wie in Fig. 5 gezeigt ist, ist die zweite bevorzugte Ausführungsform derart angepaßt, daß der Teiloxydfilm 31 und der Wannenbereich 11 (12), der darunter gebildet ist, die NMOS-Transistoren voneinander trennen und die PMOS-Transistoren voneinander trennen,

und ein voller bzw. kompletter Oxidfilm 32 stellt eine Trennung zwischen den PMOS- und NMOS-Transistoren bereit. Eine solche Anordnung ist darin vorteilhafter als die Anordnung der ersten bevorzugten Ausführungsform, daß sie die Trennungsbreite zwischen den PMOS- und NMOS-Transistoren verringert und den Durchgriff verhindert.

Wenn die Source- und Drainbereiche 6 und 5 durch Ionenimplantation zum Erreichen des Aufbaus von Fig. 5 gebildet werden, gibt es eine Gefahr, daß zum Zweck des Bildens der Drain- und Sourcebereiche 5 und 6 implantierte Ionen durch den Teiloxydfilm 31 hindurch in den Wannenbereich 11 (12) gehen, der unterhalb des Teiloxydfilmes 31 liegt und der eine entgegengesetzten Leitungstyp zu den Drain- und Sourcebereichen 5 und 6 aufweisen sollte, wodurch die Trenneigenschaften des Teiloxydfilmes 31 und des Wannenbereiches 11 verschlechtert werden.

Zweite Form

Um eine solche Situation zu verhindern, ist es bevorzugt, einen Drainbereich 5s und einen Sourcebereich 6s an einer Tiefe zu bilden, die ausreichend geringer ist als die Dicke der SOI-Schicht 3, wie in einer zweiten Form der zweiten bevorzugten Ausführungsform in Fig. 6 gezeigt ist. In anderen Worten, sollten die Drain- und Sourcebereiche 5s und 6s flacher sein als die Bodenoberfläche des Teiloxydfilmes 31. Eine Ionenimplantation mit geringer Energie kann durchgeführt werden, um die Drain- und Sourcebereiche 5s und 6s an einer flachen Position zu bilden, wie in Fig. 6 gezeigt ist.

Idealerweise weisen der Drainbereich 5s und der Sourcebereich 6s eine Tiefe auf, die die Bedingung erfüllt, daß eine Verarmungs- bzw. Sperrschicht, die sich von dem Source/Drain erstreckt, den vergrabenen Oxidfilm 2 in einem eingebauten Zustand bzw. Diffusionsspannungszustand erreicht (in dem eine Vorspannung von 0 V an einen PN-Übergang angelegt ist). Dies ist deshalb, da die Source-/Drainverarmungsschicht, die den vergrabenen Oxidfilm 2 in dem eingebauten Zustand erreicht, die Trenneigenschaft eines Teiltrennbereiches, der den Teiloxydfilm 31 und den Wannenbereich 11 (12) enthält, verbessert, während die Übergangskapazität des Source-/Drainbereiches 5s/6s und des Wannenbereiches 11 (12) verringert wird.

Dritte Form

Wie in einer dritten Form der zweiten Ausführungsform von Fig. 7 gezeigt ist, kann ein Oxidfilm 33, der sich senkrecht von der oberen Oberfläche zu der Bodenoberfläche der SOI-Schicht 3 erstreckt, mit Ausnahme von Teilen des unteren Abschnittes des Oxidfilmes 33, die als ein Wannenbereich 29 dienen, verwendet werden, um eine vollständige Trennung zwischen den NMOS- und PMOS-Transistoren vorzusehen. In der dritten Ausführungsform der zweiten bevorzugten Ausführungsform kann leicht ein Graben für den Oxidfilm 33 gleichzeitig mit einem Graben für den Teiloxydfilm 31 derart gebildet werden, daß folglich die Möglichkeit eines einfacheren Layouts als bei der Trennung, die den vollen Oxidfilm 32 verwendet, verbessert wird.

Die vollständige Trennung, die durch den Oxidfilm 33 vorgesehen wird, wird in einigen Fällen im folgenden als die Trennung bezeichnet, die durch einen kombinierten Trennbereich, der einen vollständigen Trennbereich und einen Teiltrennbereich aufweist, die miteinander kontinuierlich sind, bereitgestellt wird, wobei der vollständige Trennbereich einen durchgehenden Teil des Oxidfilmes 33, der sich bis zu der SOI-Schicht 3 erstreckt, enthält, wobei der Teiltrennbereich einen nicht durchgehenden Teil des Oxidfilmes 33, der sich nicht durch die SOI-Schicht 3 erstreckt, und den

Wannenbereich 29, der als ein Teil der SOI-Schicht 3 unterhalb des nicht durchgehenden Teiles dient, aufweist.

Vierte Form

In einer vierten Form der zweiten bevorzugten Ausführungsform, wie in Fig. 55 gezeigt ist, weisen der Teiloxidfilm 31, der selbst eine Teiltrennung bereitstellt, und der Oxidfilm 33 des kombinierten Trennbereiches eine flache und gleichmäßige obere Oberfläche auf (Oberfläche auf gleicher Höhe), wodurch das Bemustern zur Bildung der Gateelektrode erleichtert wird.

Fünfte Form

Fig. 56 ist eine detaillierte Schnittansicht des Oxidfilmes 33 des kombinierten Trennbereiches, der in Fig. 7 gezeigt ist. Wie in Fig. 56 gezeigt ist, weist der Oxidfilm 33 einen Mittelteil (der durchgehende Teil), der sich senkrecht von der oberen Oberfläche zu der Bodenoberfläche der SOI-Schicht 3 erstreckt, und einen peripheren Teil bzw. Umfangsteil (der nicht durchgehende Teil), der sich nicht zu der Bodenoberfläche der SOI-Schicht 3 erstreckt, auf. Der Teil der SOI-Schicht 3, der unter dem Umfangsteil des Oxidfilmes 33 verbleibt, dient als der Wannenbereich 29. Der Oxidfilm 33, der einen solchen Aufbau aufweist, ist derart gebildet, daß er die Ungleichung $TA > TB$ erfüllt, wobei TA die Dicke des Teiles der SOI-Schicht 3 ist, der überhalb des Wannenbereiches 29 liegt, und TB die Dicke des Teiles der SOI-Schicht 3 ist, der unter dem Umfangsteil des Oxidfilmes 33 liegt (oder die Dicke des Wannenbereiches 29). Speziell ist die Dicke des Wannenbereiches 29 auf weniger als die Hälfte der Dicke bzw. halbe Dicke ($TA + TB$) der SOI-Schicht 3 eingestellt.

Die Bildung des Oxidfilmes 33 derart, daß die Ungleichung $TA > TB$ erfüllt ist, wie in der fünften Form der zweiten bevorzugten Ausführungsform dargestellt ist, erhöht ausreichend eine Schwellenspannung, die von der durch den Oxidfilm 33 vorgesehenen Trennung resultiert, (oder einer Schwellenspannung, wenn der Oxidfilm 33 als ein Gateoxidfilm betrachtet wird) derart, daß eine ausreichend hohe Trenndurchbruchsspannung vorgesehen wird, und verringert auch ausreichend die Fläche eines PN-Überganges des Drain/Sourcebereiches in Kontakt mit dem Wannenbereich 29 und dem Wannenbereich 29, um die Erzeugung eines Leckstromes zu unterdrücken. Dies verringert die Kapazität des PN-Überganges derart, daß ein Hochgeschwindigkeitsbetrieb der Halbleitereinrichtung erreicht wird.

Sechste Form

Fig. 57 ist die detaillierte Schnittansicht des Oxidfilmes 33, der in Fig. 7 gezeigt ist. Wie in Fig. 57 gezeigt ist, ist der Oxidfilm 33 derart gebildet, daß die Ungleichung $WC < WD/2$ erfüllt ist, wobei WC die Breite (die als vollständige Trennbreite bezeichnet wird) des Mittelteils des Oxidfilmes 33 ist, der sich senkrecht von der oberen Oberfläche zu der Bodenoberfläche der SOI-Schicht 3 erstreckt, und WD die Breite (als Oxidtrennbreite bezeichnet) des gesamten Oxidfilmes 33 ist.

Der Aufbau der sechsten Form der zweiten bevorzugten Ausführungsform stellt die ausreichende Fläche des Wannenbereiches 29, der unterhalb dem Umfangsteil des Oxidfilmes 33 gebildet ist, derart sicher, daß das elektrische Potential des Substrats des Transistors auf einem Pegel fixiert ist, der hoch genug ist, um den Effekt des schwebenden Substrates durch den Wannenbereich 29 zu unterdrücken. Folglich wird der Transistor beim Betrieb stabilisiert.

Ein Ausgleichen der vollständigen Trennbreite der WC in einem Chip erleichtert die Steuerung der Trennform. Ferner kann die vollständige Trennbreite WC auf eine minimale Entwurfsbreite eingestellt werden, da nur das Bemustern des Oxidfilmes 33 erforderlich ist, um die elektrische vollständige Trennung zwischen den Vorrichtungen bereitzustellen. Dies minimiert Chipfläche derart, daß der Integrationsgrad stark erhöht wird.

Modifikationen

Der Aufbau zum Bereitstellen der kompletten Trennung zumindest zwischen dem NMOS- und PMOS-Transistoren ist in der zweiten bevorzugten Ausführungsform gezeigt. Die zweite bevorzugte Ausführungsform kann jedoch auf einen Aufbau angewendet werden zum Bereitstellen einer kompletten Trennung zwischen einem Speicherteil und einem Logikschaltungsteil in einer Hybridlogikspeicherschaltung zur Rauschunterdrückung.

Ein Oxidfilm mit unterschiedlichen Tiefen kann verwendet werden für eine Mehrzahl von Typen von Teiltrennungen anstatt der Verwendung von sowohl dem kompletten Trennbereich und dem Teiltrennbereich. In diesem Fall muß ein relativ tiefer Wannenbereich unter einem Teil des Oxidfilmes nicht mit einem Körperkontaktmaterial, wie z. B. ein Körperbereich, verbunden sein, sondern kann schwebend sein zur Verwendung als kompletter Trennbereich.

Erstes Herstellungsverfahren (Erste und Zweite Form)

Fig. 8 bis 11 sind Schnittansichten, die einen Trennvorgang in einen Herstellungsverfahren der Halbleitereinrichtung entsprechend der ersten und zweiten Form der zweiten bevorzugten Ausführungsform zeigen. Das in Fig. 8 bis 11 gezeigte Verfahren verwendet eine Teilgrabentrennung und eine volle Grabentrennung in Kombination.

Anfänglich ist, wie in Fig. 8 gezeigt ist, das Startmaterial ein SOI-Substrat, das aus dem Siliziumsubstrat 1, dem vergrabenen Oxidfilm 2 und der SOI-Schicht 3 gebildet ist, wobei das SOI-Substrat durch das SIMOX-Verfahren und ähnlichen gebildet ist, in dem der vergrabene Oxidfilm 2 durch eine Sauerstoffionenimplantation gebildet wird.

Wie in Fig. 9 gezeigt ist, wird ein Oxidfilm 41 mit einer Dicke von ungefähr 20 nm auf dem SOI-Substrat abgeschieden, und wird ein Nitridfilm 42 mit einer Dicke von ungefähr 200 nm auf dem Oxidfilm 41 abgeschieden. Das Bemustern des Trennbereiches, das einen bemusterten Photoresist 43 als Maske verwendet,ätzt einen Dreischichtfilm, der aus dem Nitridfilm 42, dem Oxidfilm 41 und der SOI-Schicht 3 gebildet ist, derart, daß die unteren Teile der SOI-Schicht 3 derart zurückgelassen werden, daß eine Mehrzahl von Teilgräben 44 gebildet werden. Die Mehrzahl der Teilgräben 44 weisen eine vorbestimmte Breite auf und erstrecken sich im wesentlichen senkrecht zu der Oberfläche des Siliziumsubstrates 1 und stellen so eine Trennung bereit, die eine kleine Geometrie beibehält, ohne den Integrationsgrad zu verschlechtern. Eine Ionenimplantation zur Bildung von Wannenbereichen 52 mit hoher Konzentration (entsprechend zu den Wannenbereichen 11 und 12), wie in Fig. 12 gezeigt ist, kann in diesem Zustand eine Trenndurchbruchsspannung erhöhen.

Als nächstes wird, wie in Fig. 10 gezeigt ist, ein Photoresist 45 derart gebildet, daß einige der Mehrzahl von Teilgräben 44 bedeckt werden. Der verbleibende Teilgraben 44, der nicht mit dem Photoresist 45 bedeckt ist, wird weiter derart geätzt, daß ein voller Graben 48 gebildet wird, der sich durch die SOI-Schicht 3 erstreckt.

Dann wird ein Oxidfilm mit einer Dicke von ungefähr

500 nm oben auf dem sich ergebenden Aufbau durch den HDPCVD-Vorgang (CVD mit hoher Plasmadichte) und ähnlichem abgeschieden. Es wird ein Polieren durchgeführt durch den CMP-Vorgang in einer ähnlichen Art zu der der Anmelderin bekannten Grabentrennung und so wird der Nitridfilm 43 teilweise entfernt. Danach werden der Nitridfilm 42 und der Oxidfilm 41 entfernt. Dies stellt einen Aufbau bereit, bei dem der Teiloxidfilm 31, die SOI-Schicht 3 (Wannenbereiche) darunter und die vollen Oxidfilme 32 selektiv gebildet sind, wie in Fig. 11 gezeigt ist. Somit stellt das Polieren des Oxidfilmes durch den CMP-Vorgang die flachen und gleichmäßigen oberen Oberflächen der Teiloxidfilme 31 und der vollen Oxidfilme 32 bereit. Wenn die in Fig. 12 gezeigte Ionenimplantation durchgeführt wird nachdem der Aufbau von Fig. 9 bereitgestellt ist, werden die Wannenbereiche 52 hoher Konzentration unterhalb dem Teiloxidfilm 31 gebildet, wie in Fig. 13 gezeigt ist. Die Wannenbereiche 52 hoher Konzentration können das elektrische Potential des Substrates mit höherer Stabilität fixieren.

Dann wird ein NMOS-Transistor in einem NMOS-Transistorbildungsbereich gebildet und wird ein PMOS-Transistor in einem PMOS-Transistorbildungsbereich gebildet durch das vorhandene Verfahren. Dies stellt den SOI-Aufbau der ersten Form bereit, der in Fig. 5 gezeigt ist, oder stellt den SOI-Aufbau der zweiten Form bereit, der in Fig. 6 gezeigt ist.

Wenn der in Fig. 10 gezeigte Schritt beseitigt wird bzw. nicht ausgeführt wird und die anderen Schritte in der oben erwähnten Weise ausgeführt werden, werden die Teilgräben 44 gebildet und der volle Graben 48 wird nicht gebildet. Dies stellt den Aufbau der ersten bevorzugten Ausführungsform, die in Fig. 1 bis 3 gezeigt ist, bereit (der Aufbau mit den Vorrichtungen, die alle durch den Teiloxidfilm 31 getrennt sind).

Zweites Herstellungsverfahren (Erste und Zweite Form)

Fig. 14 bis 18 sind Schnittansichten, die einen anderen Trennvorgang in dem Herstellungsverfahren gemäß der ersten und zweiten Form der zweiten bevorzugten Ausführungsform zeigen. Das in Fig. 14 bis 18 gezeigte Verfahren verwendet die Teilgrabentrennung und die Vollgrabentrennung in Kombination.

Anfänglich ist, wie in Fig. 14 gezeigt ist, das Ausgangsmaterial ein Mehrschichtaufbau, der das Siliziumsubstrat 1, den vergrabenen Oxidfilm 2 und eine Siliziumschicht 50 aufweist. Die Siliziumschicht 50 ist dicker gebildet als die letztendlich bereitzustellende SOI-Schicht 3.

Wie in Fig. 15 gezeigt ist, wird der Oxidfilm 41 auf dem SOI-Substrat abgeschieden und wird der Nitridfilm 42 auf dem Oxidfilm 41 abgeschieden. Das Bemustern des Trennbereiches, das einen bemusterten Photoresist 46 als Maske verwendet,ätzt den Nitridfilm 42 und den Oxidfilm 41 derart, daß die Oberfläche der Siliziumschicht 50 derart freigelegt wird, daß die Mehrzahl von Teilgräben 44 gebildet werden.

Wie in Fig. 16 gezeigt ist, wird ein Photoresist 49 derart gebildet, daß einige der Mehrzahl von Teilgräben 44 bedeckt werden. Der verbleibende Teilgraben 44, der nicht mit dem Photoresist 49 bedeckt wird, wird weiter derart geätzt, daß der volle Graben 48 gebildet wird, der sich durch die Siliziumschicht 50 erstreckt.

Dann wird ein Oxidfilm oben auf dem sich ergebenden Aufbau durch den HDPCVD-Vorgang und ähnlichem abgeschieden. Es wird ein Polieren durch den CMP-Vorgang in einer ähnlichen Weise zu der der Anmelderin bekannten Grabentrennung derart durchgeführt, daß der Nitridfilm 42 teilweise entfernt wird. Danach werden der Nitridfilm 42

und der Oxidfilm 41 entfernt. Dies stellt einen Aufbau bereit, bei dem der Teiloxidfilm 31, die Siliziumschicht 50 (Wannenbereiche) darunter und der volle Oxidfilm 32 selektiv gebildet sind, wie in Fig. 17 gezeigt ist.

Wie in Fig. 18 dargestellt ist, wird ein Epitaxiesiliziumschicht 51 durch das epitaktische Wachsen von der Siliziumschicht 50 gebildet. Dies stellt die SOI-Schicht 3 hoher Kristallinität bereit, die die Siliziumschicht 50 und die Epitaxiesiliziumschicht 51 aufweist.

Dann wird ein NMOS-Transistor in dem NMOS-Transistorbildungsbereich gebildet und wird ein PMOS-Transistor in dem PMOS-Transistorbereich gebildet durch das vorhandene Verfahren. Dies stellt den SOI-Aufbau der ersten Form, der in Fig. 5 gezeigt ist, oder den SOI-Aufbau der zweiten Form, der in Fig. 6 gezeigt ist, bereit.

Drittes Herstellungsverfahren (Dritte Form)

Fig. 19 bis 22 sind Schnittansichten die ein noch anderen Trennvorgang in dem Herstellungsverfahren gemäß der dritten Form der zweiten bevorzugten Ausführungsform zeigen. Das in Fig. 19 bis 22 gezeigte Verfahren zeigt besonders das Bilden der Teilgräben mit verschiedenen Breiten.

Wie in Fig. 19 gezeigt ist, werden relativ breite Teilgräben 44A und relativ schmale Teilgräben 44B gebildet. Die Teilgräben 44A werden für die komplette Trennung verwendet, und die Teilgräben 44B werden für die Teiltrennung verwendet. Die Teilgräben 44A und 44B werden derart gebildet, daß untere Teile der SOI-Schicht 3 zurückgelassen werden.

Dann werden, wie in Fig. 20 gezeigt ist, Oxidfilme 47 als Seitenwände auf den Seitenoberflächen der Teilgräben 44A und 44B derart gebildet, daß die Bodenoberflächen der Teilgräben 44B bedeckt werden aber daß die Bodenmittelschnitte der Teilgräben 44A freigelegt sind. Dieses Bilden nützt die Tatsache aus, daß die Breite der Teilgräben 44B geringer ist als die der Teilgräben 44A.

Wie in Fig. 21 gezeigt ist, wird ein Siliziumätzen auf der SOI-Schicht 3, das die Oxidfilme 47 als Maske verwendet, derart durchgeführt, daß Teile der SOI-Schicht 3 entfernt werden, die nicht mit den Oxidfilmen 47 bedeckt sind, einschließlich Teilen der SOI-Schicht, die unter den Bodenmittelschnitten der Teilgräben 44A positioniert sind und so wird die Oberfläche des vergrabenen Oxidfilmes 2 in den Teilgräben 44A freigelegt.

Dann wird ein Oxidfilm mit einer Dicke von ungefähr 500 nm oben auf der sich ergebenden Struktur durch den HDPCVD-Vorgang und ähnlichem abgeschieden. Es wird ein Polieren durchgeführt durch den CMP-Vorgang in einer ähnlichen Weise zu der der Anmelderin bekannten Grabentrennung und so wird der Nitridfilm 42 teilweise entfernt. Danach werden der Nitridfilm 42 und der Oxidfilm 41 entfernt. Dies stellt einen Aufbau bereit, bei dem der Teiloxidfilm 31 (mit der SOI-Schicht darunter) und der Oxidfilm 33 (mit der SOI-Schicht 3 unter Teilen davon) selektiv gebildet sind, wie in Fig. 21 gezeigt ist.

Dann wird ein NMOS-Transistor in dem NMOS-Transistorbildungsbereich gebildet und wird ein PMOS-Transistor in dem PMOS-Transistorbildungsbereich gebildet durch ein vorhandenes Verfahren. Dies stellt den SOI-Aufbau der dritten Form der zweiten bevorzugten Ausführungsform bereit, der in Fig. 7 gezeigt ist.

Viertes Herstellungsverfahren (Dritte Form)

Fig. 23 bis 27 sind Schnittansichten, die einen noch anderen Trennvorgang bei dem Herstellungsverfahren gemäß der dritten Form der zweiten bevorzugten Ausführungsform zei-

gen. Das in Fig. 23 bis 27 gezeigte Verfahren, hebt besonders die Bildung von Teilgräben mit verschiedenen Breiten hervor.

Anfänglich ist, wie in Fig. 23 gezeigt ist, das Ausgangsmaterial das SOI-Substrat, das das Siliziumsubstrat 1, den vergrabenen Oxidfilm 2 und die SOI-Schicht 3 aufweist.

Bezugnehmend auf Fig. 24 werden relativ breite Teilgräben 44A und relativ schmale Teilgräben 44B gebildet. Die Teilgräben 44A werden für die vollständige Trennung verwendet, und die Teilgräben 44B werden für die Teiltrennung verwendet. Die Teilgräben 44A und 44B werden derart gebildet, daß untere Teile der SOI-Schicht 3 zurückbleiben.

Wie in Fig. 25 gezeigt ist, wird als nächstes das Photoresist 49 derart bemustert, daß die Teilgräben 44B vollständig gefüllt werden und daß die Seitenoberflächen der Teilgräben 44A bedeckt werden. Dies stellt sicher, daß die Bodenmittelabschnitte der Teilgräben 44A freigelegt sind.

Danach wird, wie in Fig. 26 gezeigt ist, ein Siliziumätzen durchgeführt auf der SOI-Schicht 3 unter Verwendung des Photoresistes 49 als Maske und so werden Teile der SOI-Schicht 3, die nicht mit dem Photoresist 49 bedeckt sind, einschließlich Teilen der SOI-Schicht 3, die unter den Bodenmittelabschnitten der Teilgräben 44A positioniert sind, derart entfernt, daß die Oberfläche des vergrabenen Oxidfilmes 2 in den Teilgräben 44A freigelegt wird.

Dann wird ein Oxidfilm oben auf dem sich ergebenden Aufbau durch den HDPCVD-Vorgang und ähnlichem abgeschieden. Es wird ein Polieren durchgeführt durch den CMP-Vorgang in einer ähnlichen Weise zu der der Anmelderin bekannten Grabentrennung und so wird der Nitridfilm 42 teilweise entfernt. Danach werden der Nitridfilm 42 und der Oxidfilm 41 entfernt. Dies stellt einen Aufbau bereit, bei dem der Teiloxydilm 31 (mit der SOI-Schicht 3 darunter) und der Oxidfilm 33 (mit der SOI-Schicht 3 darunter) selektiv gebildet sind, wie in Fig. 27 gezeigt ist.

Fünftes Herstellungsverfahren (Dritte Form)

Fig. 58 bis 62 sind Schnittansichten, die einen weiteren Trennvorgang bei dem Herstellungsverfahren gemäß der dritten Form der zweiten bevorzugten Ausführungsform zeigen.

Anfänglich ist, wie in Fig. 58 gezeigt ist, das Ausgangsmaterial das SOI-Substrat, das das Siliziumsubstrat 1, einen vergrabenen Oxidfilm 2 und die SOI-Schicht 3 aufweist.

Wie in Fig. 59 gezeigt ist, wird der Oxidfilm 41 auf dem SOI-Substrat abgeschieden, und wird der Nitridfilm 42 auf dem Oxidfilm 41 abgeschieden. Das Bemustern des Trennbereiches, das einen bemusterten Photoresist 213 als Maske verwendet,ätzt den Nitridfilm 42, den Oxidfilm 41 und die SOI-Schicht 3 derart, daß die Oberfläche des vergrabenen Oxidfilmes 2 derart freigelegt wird, daß eine Mehrzahl von Gräben 214 gebildet werden.

Als nächstes wird, wie in Fig. 60 gezeigt ist, ein Photoresist 215 selektiv auf dem verbleibenden Nitridfilm 42 gebildet. Der Photoresist 215 weist eine Öffnung bzw. jeweils eine Öffnung für jeden der Gräben 214 mit einer größeren Breite als die Breite der Gräben 214 auf.

Wie in Fig. 61 gezeigt ist, werden der Nitridfilm 42, der Oxidfilm 41 und ein Teil der SOI-Schicht 3 unter Verwendung des Photoresists 215 als Maske derart geätzt, daß gleichzeitig Teilgräben 216 mit der SOI-Schicht 3, die dazwischenliegt, und kombinierte Gräben 217, die jeweils einen durchgehenden Teil, der sich zu der SOI-Schicht 3 in einem Mittelteil erstreckt, und einen nicht durchgehenden Teil, unter dem die SOI-Schicht 3 verbleibt, aufweisen, gebildet werden.

Dann wird ein Oxidfilm oben auf der sich ergebenden

Struktur durch den HDPCVD-Vorgang und ähnlichem gebildet. Es wird ein Polieren durch den CMP-Vorgang in einer ähnlichen Weise zu der der Anmelderin bekannten Grabentrennung durchgeführt und so wird der Nitridfilm 42 teilweise entfernt. Danach werden der Nitridfilm 49 und der Oxidfilm 41 entfernt. Dies stellt einen Aufbau bereit, bei dem der Teiloxydilm 31 (mit der SOI-Schicht 3 darunter) und der Oxidfilm 33 (mit der SOI-Schicht 3 unter Teilen davon) selektiv gebildet sind, wie in Fig. 62 gezeigt ist.

Sechstes Herstellungsverfahren (Dritte Form)

In einem außerordentlichen Beispiel des Herstellungsverfahrens können das Ätzen des Teiltrennbereiches derart, daß sich ein Graben durch die SOI-Schicht 3 erstreckt, und dann Füllen des Grabens mit einem Oxidfilm derart, daß der Teiltrennbereich in einen kompletten Trennbereich umgewandelt wird, durchgeführt werden nach dem Schritt des Bildens der Gateelektrode eines Transistors, der durch die Teiltrennung getrennt ist, oder während dem späteren Schritt des Bildens eines Kontaktes und einer Verbindungsleitung.

Modifikationen

Die Herstellungsverfahren der zweiten bevorzugten Ausführungsform enthalten das Bilden der SiN/SiO₂-Mehrschicht auf der SOI-Schicht zur Grabentrennung und Füllen der Gräben mit den Trennoxidfilmen. Ähnliche Effekte werden bereitgestellt durch andere verschiedene Verfahren, z. B. ein Verfahren, das ein Füllen der Gräben unter Verwendung von einer SiN/PolySi/SiO₂-Mehrschicht anstatt der SiN/SiO₂-Mehrschicht, Oxidieren der Mehrschicht und Abrunden der Ecken der Gräben aufweist.

Dritte bevorzugte Ausführungsform

Erste Form

Fig. 28 ist eine Schnittansicht einer ersten Form der Halbleitereinrichtung mit dem SOI-Aufbau gemäß einer dritten bevorzugten Ausführungsform.

Wie in Fig. 28 gezeigt ist, ist ein Aufbau einer vollständigen Trennung, der den vollen Oxidfilm 32 verwendet, in einem Bereich bereitgestellt, in dem eine Schaltung (erste Schaltung) gebildet werden soll, die eine Integration erfordert (da der Teiloxydilm 31 einen etwas geringeren Integrationsgrad aufweist als der volle Oxidfilm 32, aufgrund des darunter gebildeten Wannenbereiches), die aber weniger beeinflusst ist durch den Effekt des schwebenden Substrates. Andererseits ist ein Aufbau mit einer Teiltrennung, der den Teiloxydilm 31 und den Wannenbereich 11 (12) darunter verwendet, in einem Bereich vorgesehen, in dem eine Schaltung (zweite Schaltung) gebildet werden soll, für die der Einfluß des Effektes des schwebenden Substrates eine Schwierigkeit ist. Die Trennung zwischen dem Bereich, in dem die erste Schaltung gebildet werden soll, und dem Bereich, in dem die zweite Schaltung gebildet werden soll, ist durch den Aufbau der vollständigen Trennung vorgesehen, der den vollen Oxidfilm 32 verwendet.

Wie in Fig. 28 gezeigt ist, sind Beispiele der ersten Schaltung eine interne Schaltung und eine digitale Schaltung und sind Beispiele der zweiten Schaltung eine I/O-Pufferschaltung und eine analoge Schaltung (eine PLL-Schaltung und eine Leseverstärkerschaltung). Andere Beispiele der zweiten Schaltung sind eine Zeitgeberschaltung und eine dynamische Schaltung.

Somit berücksichtigt die erste Form der dritten bevorzugten Ausführungsform, wie stark die zu bildende Schaltung

durch den Effekt des schwebenden Substrates beeinflusst wird, um die Verwendung der Teiltrennung, die durch den Teiloxydilm 31 bereitgestellt ist, und die Verwendung der vollständigen Trennung, die durch den vollen Oxydilm 32 bereitgestellt ist, auszuwählen, wodurch der Trennaufbau erreicht wird, der einen ausgezeichneten Ausgleich von der Unterdrückung des Effektes des schwebenden Substrates und der Verbesserung der Integration vorsieht.

Der Aufbau von Fig. 28 kann erhalten werden unter Verwendung des ersten bis vierten Herstellungsverfahrens des zweiten bevorzugten Ausführungsbeispiels, um selektiv den Teiloxydilm 31 und den vollen Oxydilm 32 (Oxydilm 33) zur Trennung zu bilden und dann erste und zweite Schaltung zu bilden.

Zweite Form

Fig. 29 ist eine Schnittansicht einer zweiten Form der Halbleitereinrichtung mit dem SOI-Aufbau gemäß der dritten bevorzugten Ausführungsform. Wie in Fig. 29 gezeigt ist, ist die Teil-SOI-Schicht 3B zum Bilden der ersten Schaltung, die vollständig getrennt werden soll, dünner als eine Teil-SOI-Schicht 3A zum Bilden der zweiten Schaltung, die teilweise getrennt werden soll. Ein voller Oxydilm 34, ein Drainbereich 5t, ein Sourcebereich 6t und ein Kanalbildungsbereich 7t, die in der Teil-SOI-Schicht 3B gebildet sind, sind folglich dünner.

Die zweite Form der dritten bevorzugten Ausführungsform ist dadurch gekennzeichnet, daß die Teil-SOI-Schicht 3B zur Bildung der ersten Schaltung dünner ist als die Teil-SOI-Schicht 3A zur Bildung der zweiten Schaltung. Somit ermöglicht das Ätzen, das die gleichen Grabenätzbedingungen verwendet, die separate Bildung der Teilgräben für die Teil-SOI-Schicht 3A und der vollen Gräben für die Teil-SOI-Schicht 3B. Daher vereinfacht die zweite Form der dritten bevorzugten Ausführungsform das Herstellungsverfahren, zum Beispiel Auslassen des in Fig. 10 gezeigten Schrittes in dem ersten Herstellungsverfahren, um die vollständige Trennung der Teil-SOI-Schicht 3B und der Teiltrennung der Teil-SOI-Schicht 3A bereitzustellen.

Unabhängig davon, ob die vollständige Trennung oder die Teiltrennung bereitgestellt wird, ist es bevorzugt, die Dicke der SOI-Schicht zur Bildung der I/O-Pufferschaltung, der analogen Schaltung (PLL, Leseverstärker), der Zeitgeberschaltung und der dynamischen Schaltung, die der zweiten Schaltung entsprechen, für die ein fixiertes Substratpotential benötigt wird, zu erhöhen. Die zweite Form der dritten bevorzugten Ausführungsform ist in dieser Hinsicht vorteilhaft und kann effektiv den Anstieg der Temperatur unterdrücken unter Verwendung von der Filmdicke, speziell wenn sie auf eine Schutzschaltung angewendet wird.

Dritte Form

Eine dritte Form der dritten bevorzugten Ausführungsform zeigt besonders die Halbleitervorrichtung mit dem SOI-Aufbau, bei dem die komplette Trennung, die zumindest den vollen Oxydilm 32 verwendet, als die Trennung verwendet werden kann zwischen einer Rauschquelle, wie z. B. einer I/O-Schaltung und einer Hochfrequenzschaltung, und anderen Schaltungen, und die Trennung, die die Teiloxydilm 31 verwendet, kann als die Trennung von anderen Abschnitten eingesetzt werden. Dies verringert den Einfluß des Rauschens auf die interne Schaltung und minimiert den Einfluß des Effektes des schwebenden Substrates (Effektes des Substrates ohne fixiertem Potential).

Vierte bevorzugte Ausführungsform

Fig. 30 und 31 sind Schnittansichten der Halbleitereinrichtung mit dem SOI-Aufbau gemäß einer vierten bevorzugten Ausführungsform und entsprechend den Querschnitten der ersten bevorzugten Ausführungsform entlang der Linie A-A bzw. B-B von Fig. 3.

Wie in Fig. 30 und 31 gezeigt ist, ist die Halbleitereinrichtung mit dem SOI-Aufbau, der das Siliziumsubstrat 1, den vergrabenen Oxydilm 2 und die SOI-Schicht 3 aufweist, derart konstruiert, daß ein Teiloxydilm 71 mit darunter gebildeten Wannenbereichen die Transistorbildungsbereiche in der SOI-Schicht 3 voneinander trennt. Ein p-Polysiliziumbereich 61 ist unterhalb eines Teils des Teiloxydfilmes 71, der die NMOS-Transistoren voneinander trennt, gebildet, und ein n-Polysiliziumbereich 62 ist unterhalb eines Teils des Teiloxydfilmes 71 gebildet, der PMOS-Transistoren voneinander trennt. Der p-Polysiliziumbereich 61 (näher an den NMOS-Transistoren) und der n-Polysiliziumbereich 62 (näher an den PMOS-Transistoren) sind in einer Seite-an-Seite-Beziehung unterhalb eines Teiles des Teiloxydfilmes 71 gebildet, der die NMOS- und PMOS-Transistoren voneinander trennt.

Wie in Fig. 31 gezeigt ist, ist der Körperbereich 10 mit dem Polysiliziumbereich 61 in der SOI-Schicht 3 umgeben. Der Körperbereich 10 ist in Kontakt mit einem benachbarten Teil des Polysiliziumbereiches 61. Die Verbindungsschicht 25, die auf dem Zwischenschichtisolierrfilm 4 gebildet ist, ist elektrisch über den Körperkontakt 23, der in dem Zwischenschichtisolierrfilm 4 gebildet ist, mit dem Körperbereich 10 verbunden.

Somit verwendet die Halbleitereinrichtung der vierten bevorzugten Ausführungsform die Polysiliziumbereiche 61 und 62, die unterhalb dem Teiloxydilm 71 als die Wannenbereiche gebildet sind, und weist ein elektrisches Potential auf, das durch den Körperbereich 10 fixiert ist. Daher stabilisiert die Halbleitereinrichtung der vierten bevorzugten Ausführungsform das Potential des Kanalbildungsbereiches 7 derart, daß der Effekt des schwebenden Substrates verringert wird.

Alternativ können, wie in Fig. 32 gezeigt ist, der Teiloxydilm 71 und der Polysiliziumbereich 61 (62), der darunter gebildet ist, die NMOS-Transistoren voneinander trennen und die PMOS-Transistoren voneinander trennen, und der volle Oxydilm 32 kann eine Trennung zwischen den PMOS- und den NMOS-Transistoren vorsehen. Eine solche Anordnung ist vorteilhafter als die in Fig. 30 und 31 gezeigte Anordnung darin, daß sie die Trennbreite zwischen den PMOS- und NMOS-Transistoren verringert und einen Durchgriff verhindert.

Herstellungsverfahren

Fig. 33 bis 37 sind Schnittansichten, die einen Trennvorgang in dem Herstellungsverfahren der Halbleitereinrichtung gemäß der vierten bevorzugten Ausführungsform zeigen.

Anfänglich ist, wie in Fig. 33 gezeigt ist, das Ausgangsmaterial das SOI-Substrat, das das Siliziumsubstrat 1, den vergrabenen Oxydilm 2 und die SOI-Schicht 3 aufweist. Der Oxydilm 41 wird auf dem SOI-Substrat abgeschieden, und der Nitridilm 42 wird auf dem Oxydilm 41 abgeschieden. Das Bemustern des Trennbereiches, das das bemusterte Photoresist 43 als Maske verwendet, bildet eine Mehrzahl von Gräben 144, die sich durch einen Dreischichtfilm erstrecken, der aus dem Nitridilm 42, dem Oxydilm 41 und der SOI-Schicht 3 gebildet ist.

Bezugnehmend auf Fig. 34 wird eine Polysiliziumschicht

65 mit einer gut gesteuerten Filmdicke derart abgeschieden, daß der sich ergebende Aufbau vollständig bedeckt wird. Danach wird, wie in Fig. 35 gezeigt ist, ein Photoresist 66 derart gebildet, daß einige der Mehrzahl von Gräben 144 bedeckt werden. Die Polysiliziumschicht 65 in dem verbleibenden Graben 144, die nicht bedeckt ist mit dem Photoresist 66, wird derart weggeätzt, daß der volle Graben 48 gebildet wird.

Dann wird ein Grabenfülloxidfilm durch den HDPCVD-Vorgang und ähnlichem derart abgeschieden, daß der resultierende Aufbau vollständig bedeckt wird. Es wird ein Polieren durchgeführt durch den CMP-Vorgang in einer ähnlichen Weise zu der der Anmelderin bekannten Grabentrennung und so wird der Nitridfilm 43 teilweise entfernt. Danach werden der Nitridfilm 42 und der Oxidfilm 41 entfernt. Dies stellt ein Aufbau bereit, bei dem ein Polysiliziumbereich 67, ein Oxidfilm 68, der darin verbleibt, und der volle Oxidfilm 32 selektiv gebildet sind, wie in Fig. 36 gezeigt ist.

Wie in Fig. 37 gezeigt ist, wird der Polysiliziumbereich 67 derart oxidiert, daß ein Teiltrennaufbau mit dem Teiloxidfilm 71, der den Oxidfilm 68 und den oxidierten Teil des Polysiliziumbereiches 67 aufweist, und mit dem Polysiliziumbereich 61 (62), der nicht oxidiert wurde, fertiggestellt wird.

Da der Oxidationsgrad des Polysiliziumbereiches 67 größer ist als der eines Oxidfilmes 70, der auf der SOI-Schicht 3 gebildet ist, wird ein ausreichender Niveauunterschied zwischen der Oberfläche der SOI-Schicht 3 und der Oberseite des Polysiliziumbereiches 61 (62) derart bewirkt, daß ein Kurzschluß zwischen der Gateelektrode 9 und dem Polysiliziumbereich 61 aufgrund einer Fehlerhaftigkeit des Oxidfilmes während der Bildung des Gate-Oxidfilmes verhindert wird.

Dann wird ein NMOS-Transistor in dem NMOS-Transistorbildungsbereich gebildet und wird ein PMOS-Transistor in dem PMOS-Transistorbildungsbereich gebildet durch ein vorhandenes Verfahren. Dies stellt den SOI-Aufbau bereit, der in Fig. 32 gezeigt ist.

Fünfte bevorzugte Ausführungsform

Erste Form

Fig. 38 ist eine Schnittansicht einer ersten Form der Halbleitereinrichtung mit dem SOI-Aufbau gemäß einer fünften bevorzugten Ausführungsform. Wie in Fig. 38 gezeigt ist, ist die Halbleitereinrichtung mit dem SOI-Aufbau, der das Siliziumsubstrat 1, den vergrabenen Oxidfilm 2 und die SOI-Schicht 3 aufweist, derart konstruiert, daß ein Film 75 mit geringer dielektrischer Konstante (ein Isolierfilm, der eine dielektrische Konstante aufweist, die geringer ist als die von allgemeinen Isolierfilmen, wie z. B. des vergrabenen Oxidfilmes 2) mit darunter gebildeten Wannenbereichen die Transistorbildungsbereiche in der SOI-Schicht 3 voneinander trennt. In einer ähnlichen Weise wie bei der ersten bevorzugten Ausführungsform ist der p-Wannenbereich 11 unterhalb eines Teiles des Filmes 75 mit geringer dielektrischer Konstante, der die NMOS-Transistoren voneinander trennt, gebildet, und ist der n-Wannenbereich 12 unterhalb eines Teiles des Filmes 75 mit geringer dielektrischer Konstante gebildet, der die PMOS-Transistoren voneinander trennt. Ein p-Wannenbereich und ein n-Wannenbereich (beide sind in Fig. 38 nicht gezeigt) sind unterhalb eines Teiles des Filmes 75 mit geringer dielektrischer Konstante gebildet, der die NMOS- und PMOS-Transistoren voneinander trennt. Das elektrische Potential kann durch den oben beschriebenen Wannenbereich fixiert sein ähnlich zu der ersten bevorzugten Ausführungsform, und der Körperbereich

kann elektrisch damit verbunden sein.

Bei dem SOI-Aufbau ist die Dicke der SOI-Schicht 3 in einigen Fällen so dünn wie ungefähr 50 nm. Zu dieser Zeit gibt es eine Gefahr, daß der unterhalb des Trennoxidfilmes (des Teiloxidfilmes 31 in Fig. 1) gebildete Wannenbereich verarmt oder invertiert wird und so einen Leckstrom bewirkt, der zwischen den voneinander zu trennenden Transistoren fließt.

In der ersten Form der vierten bevorzugten Ausführungsform wird der Film 75 mit geringer dielektrischen Konstante für eine Vorrichtungstrennung verwendet, um ausreichend die Kapazität davon zu unterdrücken, sogar wenn die Dicke davon sehr dünn ist, wodurch positiv die Erzeugung des Leckstromes verhindert wird.

Der Film 75 mit niedriger dielektrischer Konstante, der hier verwendet wird, ist ein Siliziumoxidfilm (mit einer relativen dielektrischen Konstanten in der Größe von 3,9 bis 4), zur Verwendung als der vergrabene Oxidfilm 2 mit Fluor, das darin gemischt ist, und ein organischer Film, der eine relativ dielektrische Konstante von ungefähr 3 aufweist.

Zweite Form

Fig. 39 ist eine Schnittansicht einer zweiten Form der fünften bevorzugten Ausführungsform. Wie in Fig. 39 gezeigt ist, werden ein Film 76 mit geringer dielektrischer Konstante und ein Siliziumoxidfilm 78, der auf der Bodenoberfläche und den Seitenoberflächen des Filmes 76 mit geringer dielektrischer Konstante gebildet ist, anstatt des dielektrischen Filmes 75 mit geringer dielektrischer Konstante von Fig. 38 zur Vorrichtungstrennung verwendet. Andere Komponenten von Fig. 39 sind ähnlich zu denen der ersten in Fig. 38 gezeigten Form.

Der Siliziumoxidfilm 78 ist derart auf der Bodenoberfläche und den Seitenoberflächen des Filmes 76 mit geringer dielektrischer Konstante gebildet, daß die Erzeugung von Defekten an der Schnittstelle zu dem Silizium (Drainbereich 5, Sourcebereich 6, Wannenbereiche 11 und 12 und ähnliches) und von elektrischen Ladungen an der Schnittstelle positiv unterdrückt werden. Der Siliziumoxidfilm 78 wird unter Verwendung der thermischen Oxidation und der CVD-Technik gebildet.

Dritte Form

Fig. 40 ist eine Schnittansicht einer dritten Form der fünften bevorzugten Ausführungsform. Wie in Fig. 40 gezeigt ist, werden ein Film 77 mit geringer dielektrischer Konstante und ein Siliziumoxidfilm 79, der auf den Seitenoberflächen des Filmes 77 mit geringer dielektrischer Konstante gebildet ist, anstatt des dielektrischen Filmes 75 mit geringer dielektrischer Konstante von Fig. 38 zur Vorrichtungstrennung verwendet. Andere Komponenten von Fig. 40 sind ähnlich zu denen der ersten in Fig. 38 gezeigten Form.

Der Siliziumoxidfilm 79 ist auf den Seitenoberflächen des Filmes 77 mit geringer dielektrischer Konstante mit dem Hauptziel des positiven Unterdrückens der Erzeugung von Defekten an der Schnittstelle mit dem Silizium (Drainbereich 5 und Sourcebereich 6), das in seitlicher Beziehung dazu angeordnet ist und auch mit dem Kanalbildungsbereich 7 und der Unterdrückung von elektrischen Ladungen an der Schnittstelle gebildet.

Sechste bevorzugt Ausführungsform

Erste Form

Fig. 41 ist eine Schnittansicht einer ersten Form einer

Halbleitereinrichtung mit dem SOI-Aufbau gemäß einer sechsten bevorzugten Ausführungsform.

Wie in Fig. 41 gezeigt ist, trennt der Zwischenschichtisolerfilm 4 (obwohl ein Abschnitt entsprechend dem vollen Oxidfilm 32 auch als der Zwischenschichtisolerfilm 4 dargestellt ist) vollständig in die Vorrichtungen voneinander. Ein Verbindungsbereich 80, der als ein Körperbereich dient, ist in einem oberen Abschnitt des vergrabenen Oxidfilmes 2 gebildet, und Teile des Verbindungsbereiches 80 sind in Kontakt mit den Bodenoberflächen der Endabschnitte der SOI-Schicht 3 (der Drainbereich 5 und der Kanalbildungsbereich 7 in Fig. 41), um eine elektrische Verbindung damit aufrechtzuerhalten. Der Verbindungsbereich 80 ist aus dem gleichen Leitungstyp wie der Kanalbildungsbereich 7. Gleiche Bezugszeichen werden zum Bezeichnen von Komponenten verwendet, die ähnlich zu denen von Fig. 1 und 2 sind, und die Beschreibung davon wird ausgelassen.

Somit wird die Halbleitereinrichtung der ersten Form der sechsten bevorzugten Ausführungsform derart entworfen, daß der Verbindungsbereich 80, der als Körperbereich dient, eher in dem oberen Abschnitt des vergrabenen Oxidfilmes 2 als in der SOI-Schicht 3 vorgesehen wird und so einen Niveauunterschied von zumindest gleich oder größer als die Dicke der SOI-Schicht 3 von der Gateelektrode 9 vorsieht. Als Ergebnis kann die erste Form der sechsten bevorzugten Ausführungsform positiv einen nachteiligen Kurzschluß zwischen der Gateelektrode 9 und dem Verbindungsbereich 80 während der Herstellung verhindern.

Zweite Form

Fig. 42 ist eine Schnittansicht einer zweiten Form der Halbleitereinrichtung mit dem SOI-Aufbau gemäß der sechsten bevorzugten Ausführungsform.

Wie in Fig. 42 gezeigt ist, sind der flache Drainbereich 5s und der flache Sourcebereich 6s in dem oberen Abschnitt der SOI-Schicht 3 gebildet. Andere Komponenten von Fig. 42 sind ähnlich zu denen der ersten Form, die in Fig. 41 gezeigt ist.

Somit ist die Halbleitereinrichtung gemäß der zweiten Form der sechsten bevorzugten Ausführungsform derart entworfen, daß der flache Drainbereich 5s und der flache Sourcebereich 6s in dem oberen Abschnitt der SOI-Schicht 3 derart gebildet sind, daß der Kontakt mit dem Verbindungsbereich 80 erhalten wird und das positiv ein Leckstrom verhindert wird.

Konzept des Herstellungsverfahrens

Fig. 43 bis 45 sind Schnittansichten, die konzeptionell den Vorgang des Bildens des Polysiliziumbereiches, der als der Verbindungsbereich 80 dient, zeigen.

Zuerst wird, wie in Fig. 43 gezeigt ist, der SOI-Aufbau, der das Siliziumsubstrat 1, den vergrabenen Oxidfilm 2 und die SOI-Schicht 3 aufweist, vorbereitet, und die SOI-Schicht 3 wird selektiv von der Oberfläche des SOI-Aufbaus entfernt, daß ein Grabentrennvorrichtungsbereich gebildet wird.

Wie in Fig. 44 gezeigt ist, wird ein Naßätzen durchgeführt auf dem vergrabenen Oxidfilm 2 unter Verwendung der SOI-Schicht 3 als Maske und so werden Teile des vergrabenen Oxidfilmes 2, die unterhalb der unteren Oberfläche der Endabschnitte der SOI-Schicht 3 liegen, und obere Teile des vergrabenen Oxidfilmes 2, die nicht mit der SOI-Schicht 3 bedeckt sind, entfernt, wodurch Löcher 94 gebildet werden. Wie in Fig. 45 gezeigt ist, werden die Löcher 94 mit Polysilizium derart gefüllt, daß ein Polysiliziumbereich 81 für den Verbindungsbereich 80 gebildet wird.

Erstes Herstellungsverfahren

Fig. 46 bis 48 sind Schnittansichten, die einen ersten Vorgang zum Bilden des Polysiliziumbereiches, der als der Verbindungsbereich 80 dient, detaillierter zeigen.

Zuerst wird, wie in Fig. 46 gezeigt ist, ein Siliziumoxidfilm 91 auf der SOI-Schicht 3 des SOI-Substrates abgeschieden, und ein Siliziumnitridfilm 92 wird auf dem Siliziumoxidfilm 91 abgeschieden. Die SOI-Schicht 3, der Siliziumoxidfilm 91 und der Siliziumnitridfilm 92 werden zur Grabentrennung bemustert. Seitenwandsiliziumnitridfilme 93 werden auf den Seitenoberflächen der bemusterten SOI-Schicht 3, des bemusterten Siliziumoxidfilmes 91 und des bemusterten Siliziumnitridfilmes 92 gebildet.

Wie in Fig. 47 gezeigt wird, wird ein Naßätzen auf dem vergrabenen Oxidfilm 2 unter Verwendung des Siliziumnitridfilmes 92 und der Seitenwandsiliziumnitridfilme 93 als Maske derart durchgeführt, daß Teile des vergrabenen Oxidfilmes 2, die unterhalb der Bodenoberfläche der Endabschnitte der SOI-Schicht 3 liegen, und obere Teile des vergrabenen Oxidfilmes 2, die nicht mit der SOI-Schicht 3 bedeckt sind, sondern freigelegt sind, entfernt werden, wodurch die Löcher 94 gebildet werden.

Danach wird, wie in Fig. 48 gezeigt ist, eine Polysiliziumschicht oben auf dem resultierenden Aufbau abgeschieden und wird dann zurückgeätzt durch Trockenätzen und so werden die Löcher 94 mit Polysilizium gefüllt, wodurch der Polysiliziumbereich 81, der als der Verbindungsbereich 80 dient, gebildet wird.

Danach wird der in Fig. 11 gezeigte Schritt durchgeführt. Speziell werden die Mehrzahl von Vorrichtungsbildungsbereichen voneinander isoliert durch Füllen der Gräben mit dem Oxidfilm oder durch andere Verfahren, und es wird ermöglicht, daß der Verbindungsbereich 80 extern das elektrische Potential fixiert. Dann werden die vorbestimmten Vorrichtungen bzw. Einrichtungen in der Mehrzahl von Vorrichtungsbildungsbereichen entsprechend gebildet. Dies stellt den in Fig. 41 oder 42 gezeigten Aufbau fertig.

Zweites Herstellungsverfahren

Fig. 49 bis 51 sind Schnittansichten, die einen zweiten Vorgang zum Bilden des Polysiliziumbereiches, der als der Verbindungsbereich 80 dient, im Detail zeigen.

Zuerst werden, wie in Fig. 46 gezeigt ist, die SOI-Schicht 3, der Siliziumoxidfilm 91 und der Siliziumnitridfilm 92 zur Grabentrennung bemustert. Die Seitenwandsiliziumnitridfilme 93 werden auf den Seitenoberflächen der bemusterten SOI-Schicht 3, des bemusterten Siliziumoxidfilmes 91 und des bemusterten Siliziumnitridfilmes 92 gebildet.

Wie in Fig. 49 gezeigt ist, wird ein Naßätzen auf dem vergrabenen Oxidfilm 2 unter Verwendung des Siliziumnitridfilmes 92 und der Seitenwandsiliziumnitridfilme 93 als Maske derart durchgeführt, daß Teile des vergrabenen Oxidfilmes 2, die unterhalb der Bodenoberfläche der Endabschnitte der SOI-Schicht 3 liegen, und obere Teile des vergrabenen Oxidfilmes 2, die nicht mit der SOI-Schicht 3 bedeckt sind, entfernt werden, wodurch die Löcher 94 gebildet werden.

Als nächstes werden, wie in Fig. 50 gezeigt ist, epitaktisch gewachsene Schichten 82 unterhalb der Seitenwandsiliziumnitridfilme 93 durch epitaktisches Wachsen von der freigelegten Bodenoberfläche der SOI-Schicht 3 gebildet.

Danach wird, wie in Fig. 51 gezeigt ist, eine Polysiliziumschicht auf der Oberseite des erhaltenen Aufbaus abgeschieden und wird dann zurückgeätzt und so werden die Löcher 94 mit Polysilizium gefüllt, wodurch der Polysiliziumbereich 83 für den Verbindungsbereich 80 gebildet wird.

Folglich bilden die epitaktisch gewachsenen Schichten **82** und die Polysiliziumbereiche **83** den Verbindungsbereich **80**.

Danach werden die Mehrzahl von Vorrichtungsbildungsbereichen voneinander durch Füllen der Gräben mit Oxidfilm oder durch andere Verfahren getrennt, und es wird ermöglicht, daß der Verbindungsbereich **80** extern das elektrische Potential fixiert. Dann werden vorbestimmte Vorrichtungen in der Mehrzahl von Vorrichtungsbildungsbereichen entsprechend gebildet. Dies stellt den in **Fig. 41** und **42** gezeigten Aufbau fertig.

Der Aufbau der zweiten Form der sechsten bevorzugten Ausführungsform enthält die epitaktisch gewachsenen Schichten **82**, um einen ausreichenden Abstand zwischen den Polysiliziumbereichen **83** und einem PN-Übergang, der durch den Drainbereich **5** oder den Sourcebereich **6** und den Kanalbildungsbereich **7** gebildet ist, vorzusehen, wodurch zufriedenstellende elektrische Eigenschaften bereitgestellt werden.

Dritte Form

Fig. 52 ist eine Schnittansicht einer dritten Form der sechsten bevorzugten Ausführungsform. Der in **Fig. 52** gezeigte Aufbau wird durch Entfernen des Siliziumsubstrates **1** und des vergrabenen Oxidfilmes **2** durch Polieren der Struktur, die in **Fig. 41** gezeigt ist (mit Ausnahme des Verbindungsbereiches **80**, des Körperkontaktes **32**, des Gatekontaktes **24** und der Verbindungsschichten **22** und **25**), Umdrehen des resultierenden Aufbaus, Verbinden eines Siliziumsubstrates **90** mit einer neuen Bodenoberfläche und Bilden eines Verbindungsbereiches **86** auf einer neuen oberen Oberfläche. Somit weist der SOI-Aufbau das Siliziumsubstrat **90**, den Zwischenschichtisoliertfilm **4** und einen Vorrichtungsbildungsbereich (der den Drainbereich **5**, den Sourcebereich **6**, den Kanalbildungsbereich **7** und ähnliches enthält) auf.

Der Aufbau der dritten Form der sechsten bevorzugten Ausführungsform enthält den Verbindungsbereich **86** auf der oberen Oberfläche als Konsequenz, um den Herstellungsschritt davon zu erleichtern.

Vierte Form

Fig. 53 ist eine Schnittansicht einer vierten Form der sechsten bevorzugten Ausführungsform. Wie in **Fig. 53** gezeigt ist, sind Verbindungsbereiche **87** senkrecht durch den vergrabenen Oxidfilm **2** gebildet. Andere Komponenten von **Fig. 53** sind ähnlich zu denen der ersten Form, die in **Fig. 41** gezeigt ist.

Somit ist die vierte Form der sechsten bevorzugten Ausführungsform derart entworfen, daß die Verbindungsbereiche **87** sich durch den vergrabenen Oxidfilm **2** erstrecken, um das elektrische Potential von dem Siliziumsubstrat **1**, das als Trägersubstrat dient, zu fixieren. Jeder der Verbindungsbereiche **87** kann durch Bilden einer Durchgangsöffnung, die ein Loch **89**, das in einem oberen Teil des vergrabenen Oxidfilmes **2** durch Naßätzen gebildet ist, und einen Durchgangsabschnitt **88**, der senkrecht durch den vergrabenen Oxidfilm **2** gebildet ist, der keine seitliche Flächenerhöhung durch Trockenätzen aufweist, aufweist, und dann Füllen der Durchgangsöffnung mit Polysilizium oder ähnlichem gebildet werden kann. Dies stellt die Verbindungsbereiche **87** bereit, die sich senkrecht durch den vergrabenen Oxidfilm **2** erstrecken, während die seitliche Flächenerhöhung der Durchgangsöffnung verhindert wird, wenn sie gebildet wird.

Siebt bevorzugte Ausführungsform

Fig. 63 ist eine Draufsicht zum Darstellen eines Entwurfsverfahrens eines kompletten Trennbereiches in der Halbleitereinrichtung mit dem SOI-Aufbau gemäß einer siebten bevorzugten Ausführungsform. Wie in **Fig. 63** gezeigt ist, ist eine allgemeine Konfiguration eines CMOS-Transistors derart, daß ein aktiver PMOS-Bereich **101** und ein PMOS-Körperkontaktbereich **102** selektiv gebildet sind in einem virtuellen bzw. tatsächlichen n-Wannenbereich **104** und daß ein aktiver NMOS-Bereich **111** und ein NMOS-Körperkontaktbereich **112** selektiv gebildet sind in einem P-Bereich (nicht gezeigt) außerhalb des virtuellen n-Wannenbereiches **104**.

Wenn der kombinierte Trennbereich, der in der dritten Form (**Fig. 7**) der zweiten bevorzugten Ausführungsform dargestellt ist, die Trennung zwischen den NMOS- und PMOS-Transistoren bereitstellt, entspricht der virtuelle n-Wannenbereich **104** im wesentlichen dem Teiltrennbereich, und der vollständige Trennbereich ist kontinuierlich zu dem Teiltrennbereich.

Es gibt eine große Wahrscheinlichkeit, daß die in der Vergangenheit gesammelten Layoutdaten zugänglich sind, um ein Layout einer Halbleitereinrichtung, die den kombinierten Trennbereich verwendet, zu konstruieren.

Daher wird der komplette Trennbereich automatisch erzeugt durch Ausführen eines Entwurfverfahrens mit den Schritten:

- (1) Erhalten der alten Daten betreffend einer CMOS-Einrichtung, die einen PMOS-Transistor innerhalb eines Wannenbereiches und einen NMOS-Transistor außerhalb des Wannenbereiches enthält,
- (2) Definieren eines ersten und eines zweiten MOS-Transistorbildungsbereiches (der aktive PMOS-Bereich **101**, der PMOS-Körperkontaktbereich **102**, der aktive NMOS-Bereich **111** und der NMOS-Körperkontaktbereich **112**) basierend auf den alten Daten und
- (3) Definieren eines kompletten Trennbereiches **105** in der Nachbarschaft des äußeren Umfangs des virtuellen n-Bereiches **104** unter Annahme eines Wannenbereiches in den alten Daten als der virtuelle n-Wannenbereich **104**.

Da der virtuelle n-Wannenbereich **104** im allgemeinen eine Unterscheidung zwischen dem NMOS- und dem PMOS-Bereich macht, stellt die Definition des vollständigen Trennbereiches basierend auf dem virtuellen n-Wannenbereich **104** eine effektive Trennung zwischen dem NMOS- und dem PMOS-Transistor bereit.

In dem in **Fig. 63** gezeigten Fall ist der komplette Trennbereich **105** derart definiert, daß ein äußerer Umfang davon nach außen um einen Abstand $W/2$, der eine Hälfte der vollständigen Trennbreite W ist, von dem äußeren Umfang des virtuellen n-Wannenbereiches **104** beabstandet ist und daß ein innerer Umfang des kompletten Trennbereiches **105** um den Abstand $W/2$ von dem äußeren Umfang des virtuellen n-Wannenbereiches **104** nach innen beabstandet ist.

Somit wird der komplette Trennbereich automatisch definiert basierend auf der kompletten Trennbreite in der Nachbarschaft des äußeren Umfangs des Wannenbereiches in den alten Daten zur Herstellung des der Anmelderin bekannten CMOS-Transistors.

Ferner kann ein Teiltrennbereich **113** definiert werden in einer kontinuierlichen Beziehung zu dem virtuellen n-Wannenbereich **104** mit Ausnahme in dem aktiven PMOS-Bereich **101**, dem PMOS-Körperkontaktbereich **102**, dem virtuellen n-Wannenbereich **104**, dem aktiven NMOS-Bereich

111 und dem NMOS-Körperkontaktbereich 112. Der kombinierte Trennbereich, der den kompletten Trennbereich 105 und den Teiltrennbereich 113 enthält, wird somit entworfen.

Achte bevorzugte Ausführungsform

Durchgriffsphänomen

Das Durchgriffsphänomen wird mit Bezug zu Fig. 64 beschrieben. Wie in Fig. 64 gezeigt ist, enthält eine CMOS-Struktur mit einem PMOS-Bereich 131 und einem NMOS-Bereich 141, die zueinander benachbart sind, einen parasitären Bipolartransistor T1, der aus einem aktiven PMOS-Bereich 133 in dem PMOS-Bereich 131, einem n-Wannenbereich 142 in dem NMOS-Bereich 141 besteht, und einen parasitären Bipolartransistor T2, der aus einem aktiven NMOS-Bereich 143 in dem NMOS-Bereich 141, dem p-Wannenbereich 142 in dem NMOS-Bereich 141 und dem n-Wannenbereich 132 in dem PMOS-Bereich 131 besteht.

Ein n⁺-Körperkontaktbereich 135 ist verbunden mit der Basis des parasitären Bipolartransistors T1 über ein Widerstandselement R11 des n-Wannenbereichs 132. Ähnlich ist ein p⁺-Körperkontaktbereich 145 verbunden mit der Basis des parasitären Bipolartransistors T2 über ein Widerstandselement R12 des p-Wannenbereichs 142. Der n⁺-Körperkontaktbereich 135 ist auf eine Stromversorgungsspannung Vcc eingestellt, und der p⁺-Körperkontaktbereich 145 ist auf einen Massepegel Vss eingestellt. Gateelektroden 134 und 144 sind in Mittelabschnitten des aktiven PMOS-Bereichs 133 bzw. des aktiven NMOS-Bereichs 143 gebildet. Die parasitären Bipolartransistoren T1 und T2 bilden einen parasitären Thyristor-Aufbau, der zu dem Durchgriffsphänomen führt, bei dem Strom kontinuierlich von der Stromversorgungsspannung Vcc zu dem Massepegel Vss fließt, wenn einmal Rauschen den parasitären Thyristor eingeschaltet hat.

Erste Form

Im allgemeinen tritt Rauschen, das das Durchgriffsphänomen bewirkt, oft in den CMOS-Aufbau über einen Eingabe-/Ausgabeanschluß ein. Um dies zu verhindern, ist, wie in Fig. 65 gezeigt ist, ein vollständiger Trennbereich 114 bevorzugt in der Nähe einer Grenze zwischen einem Eingabe-/Ausgabe-NMOS(Transistorbildungs)-Bereich 106 und einem Eingabe-/Ausgabe-PMOS(Transistorbildungs)-Bereich 116 vorgesehen, um somit eine vollständige Trennung dazwischen bereitzustellen. Ein Teiltrennbereich 107 trennt teilweise den I/O-NMOS-Bereich 106 von dem ihm umgebenden Bereich, und ein Teiltrennbereich 117 trennt teilweise den I/O-PMOS-Bereich 116 von dem ihn umgebenden Bereich.

Die Eingabe-/Ausgabebereiche bedeuten Bereiche, in denen ein Eingabe-/Ausgabepuffer und eine Schutzschaltung hauptsächlich gebildet werden sollen. Fig. 66 ist ein Schaltbild einer Eingabeschaltung. Wie in Fig. 66 gezeigt ist, ist ein externer Eingangsanschluß P1 zum Empfangen eines Eingangssignals IN mit dem Eingang eines Eingabepuffers 122 über Widerstände R1 und R2 verbunden. Der Ausgang des Eingabepuffers 122 ist mit einem internen Eingabeanschluß P2 verbunden, der ein internes Signal S0 ausgibt.

Eine Eingangsschutzschaltung 121 weist einen PMOS-Transistor Q1 und einen NMOS-Transistor Q2 auf. Der PMOS-Transistor Q1 weist einen Sourceanschluß auf, der mit der Stromversorgungsspannung Vcc verbunden ist, weist ein Gate auf, das mit der Stromversorgungsspannung Vcc verbunden ist, und weist einen Drainanschluß auf, der

mit einem Knoten N1 zwischen den Widerständen R1 und R2 verbunden ist. Der NMOS-Transistor Q2 weist einen Sourceanschluß auf, der mit Masse verbunden ist, einen Gateanschluß auf, der mit Masse verbunden ist, und einen Drainanschluß auf, der mit dem Knoten N1 verbunden ist.

Der Eingangspuffer 122 weist einen PMOS-Transistor Q11 und einen NMOS-Transistor Q12 auf, die einen CMOS-Inverter bilden. Die Gates des PMOS- und NMOS-Transistors Q11 und Q12 dienen als Eingang des CMOS-Inverters, und die Drainanschlüsse von ihnen dienen als Ausgang des CMOS-Inverters.

In der Schaltungsanordnung sind die PMOS-Transistoren Q1 und Q11 in einem PMOS-Eingabebereich gebildet und sind die NMOS-Transistoren Q2 und Q12 in einem NMOS-Eingabebereich 108 gebildet.

Fig. 67 ist ein Schaltbild einer Ausgabeschaltung. Wie in Fig. 67 gezeigt ist, ist ein interner Eingabeanschluß P3 zum Empfangen eines internen Signals S1 mit dem Eingang des Ausgabepuffers 123 verbunden. Ein Signal von dem Ausgang des Ausgabepuffers 123 wird über einen externen Ausgabeanschluß P4 als Ausgabesignal OUT ausgegeben.

Der Ausgabepuffer 123 weist einen PMOS-Transistor Q13 und einen NMOS-Transistor Q14 auf, die einen CMOS-Inverter bilden. Die Gates des PMOS- und NMOS-Transistors Q13 und Q14 dienen als der Eingang des CMOS-Inverters und die Drainanschlüsse vor, ihnen dienen als der Ausgang des CMOS-Inverters.

Eine Ausgabeschutzschaltung 124 enthält einen PMOS-Transistor Q3 und einen NMOS-Transistor Q4. Der PMOS-Transistor Q3 weist einen Sourceanschluß auf, der mit der Stromversorgungsspannung Vcc verbunden ist, weist ein Gate auf, das mit der Stromversorgungsspannung Vcc verbunden ist, und einen Drainanschluß auf, der mit dem externen Ausgabeanschluß P4 verbunden ist. Der NMOS-Transistor Q4 weist einen Sourceanschluß auf, der mit Masse verbunden ist, weist einen Gateanschluß auf, der mit Masse verbunden ist, und weist einen Drainanschluß auf, der mit dem externen Ausgabeanschluß P4 verbunden ist.

In dieser Schaltungsanordnung sind die PMOS-Transistoren Q3 und Q13 in einen PMOS-Ausgangsbereich 119 gebildet und sind die NMOS-Transistoren Q4 und Q14 in einem NMOS-Ausgangsbereich 109 gebildet.

In der ersten Form der achten bevorzugten Ausführungsform ist der vollständige Trennbereich 114 zumindest in der Nähe der Grenze zwischen dem I/O-NMOS-Bereich 106 und dem I/O-PMOS-Bereich 116, in dem der Durchgriff dazu neigt, aufzutreten, gebildet, um eine vollständige Trennung dazwischen vorzusehen, wodurch ein durchgriffsfreier Raum erzeugt wird.

Ferner erstreckt sich in der ersten Form der achten bevorzugten Ausführungsform der komplette Trennbereich nicht komplett zwischen den NMOS- und dem PMOS-Bereich, sondern ist der komplette Trennbereich 114 nur in der Nähe der Grenze zwischen dem I/O-NMOS- und -PMOS-Bereich vorgesehen. Dies unterdrückt effektiv das Durchgriffsphänomen und minimiert den Anstieg der Schaltungsfläche.

Zweite Form

Obwohl der komplette Trennbereich 114 zum kompletten Trennen zwischen dem I/O-NMOS- und -PMOS-Bereich 106 und 116 in Fig. 65 so gezeigt ist, daß er nur in der Nähe der Grenze zwischen diesen Bereichen vorgesehen ist, kann ein vollständiger Trennbereich 115 derart gebildet sein, daß er den I/O-NMOS-Bereich 106 und den I/O-PMOS-Bereich 116 in einer zweiten Form der achten bevorzugten Ausführungsform vollständig umgibt, wie in Fig. 68 gezeigt ist.

Ferner kann ein vollständiger Trennbereich zwischen spe-

zifischen Schaltungen, wie z. B. einer analogen Schaltung und einer digitalen Schaltung, sowie zwischen I/O-NMOS- und -PMOS-Bereichen vorgesehen sein.

Dritte Form

Fig. 69 zeigt eine dritte Form der achten bevorzugten Ausführungsform. Wie in Fig. 69 gezeigt ist, stellt ein vollständiger Trennbereich 110 eine vollständige Trennung zwischen NMOS-Bereichen (der I/O-NMOS-Bereich 106 und ein interner NMOS-Bereich 180) und PMOS-Bereichen (der I/O-PMOS-Bereich 116 und ein interner PMOS-Bereich 190) und auch zwischen einem I/O-Bereich (der I/O-PMOS-Bereich 116) und einem internen Schaltungsbereich (der interne NMOS-Bereich 180) bereit.

Die dritte Form der achten bevorzugten Ausführungsform erzeugt den Effekt des vollständigen Ausschließens des Einflusses des I/O-Bereiches, der auf Rauschen empfindlich ist, von dem internen Schaltungsbereich zusätzlich zu den Effekten der ersten und zweiten Formen der achten bevorzugten Ausführungsform.

Neunte bevorzugte Ausführungsform

Erste Form

Fig. 70 ist eine Draufsicht einer ersten Form einer Halbleitereinrichtung mit einem SOI-Aufbau gemäß einer neunten bevorzugten Ausführungsform. Fig. 71 ist eine Schnittansicht entlang der Linie A-A von Fig. 70. Wie in Fig. 70 und 71 gezeigt ist, sind ein NMOS-Bereich 126 (Transistorbildungsbereich) und ein PMOS-Bereich 136 (Transistorbildungsbereich) zueinander benachbart angeordnet. Ein aktiver NMOS-Bereich 128 mit einer Mehrzahl von Gateelektroden 129 und ein p⁺-Körperbereich 130 sind in dem NMOS-Bereich 126 gebildet, und ein Teiltrennbereich 127 umgibt den aktiven NMOS-Bereich 128.

Ein aktiver PMOS-Bereich 138 mit einer Mehrzahl von Gateelektroden 139 und ein n⁺-Körperbereich 140 sind in dem PMOS-Bereich 136 gebildet, und ein Teiltrennbereich 137 und ein vollständiger Trennbereich 120 umgeben den aktiven PMOS-Bereich 138. Der vollständige Trennbereich 120 ist in dem PMOS-Bereich 136 in der Nähe einer Grenze zwischen dem NMOS- und dem PMOS-Bereich 126 und 136 derart vorgesehen, daß er Teile der Gateelektroden 136 umgibt, die sich von dem aktiven PMOS-Bereich 138 nach außen erstrecken.

Somit trennt in der Nähe der Grenze zwischen dem NMOS-Bereich 126 und dem PMOS-Bereich 136 der Teiltrennbereich 127, der ein Oxidfilm 54 und einen Wannenbereich 169 enthält, den NMOS-Bereich 126 von dem ihn umgebenden Bereich, und der vollständige Trennbereich 120, der nur den Oxidfilm 54 enthält, trennt den PMOS-Bereich 136 von dem ihn umgebenden Bereich, wie in Fig. 71 gezeigt ist.

Somit ist kein vollständiger Trennbereich in dem NMOS-Bereich 126 gebildet, sondern der Teiltrennbereich 127 ist darin derart gebildet, daß das elektrische Potential des Substrates des NMOS-Transistors über den Wannenbereich 196 unterhalb des Oxidfilmes 54 ausreichend fixiert ist. Dies unterdrückt effektiv den Effekt des schwebenden Substrates des NMOS-Transistors, der einen wesentlichen Grad des Effektes des schwebenden Substrates aufweist. Der PMOS-Transistor, der einen geringeren Grad des Effektes des schwebenden Substrates als der NMOS-Transistor aufweist, wird nicht signifikant beeinflusst, wenn der vollständige Trennbereich teilweise um den PMOS-Transistor herum gebildet ist. Der vollständige Trennbereich 120 stellt eine iso-

lierende Trennung zwischen dem NMOS-Bereich 126 und dem PMOS-Bereich 136 bereit und ist für eine hohe Flächeneffizienz angeordnet. Dies ist effektiv, weil es wenig Raum für das Layout gibt.

Zweite Form

Fig. 72 ist eine Draufsicht einer zweiten Form der Halbleitereinrichtung mit dem SOI-Aufbau gemäß der neunten bevorzugten Ausführungsform. Fig. 73 ist eine Schnittansicht entlang der Linie B-B von Fig. 72. Wie in Fig. 72 und 73 gezeigt ist, sind der NMOS-Bereich 126, der in dem p⁺-Wannenbereich 169 gebildet ist, und der PMOS-Bereich 136, der in einem n⁻-Wannenbereich 179 gebildet ist, zueinander benachbart angeordnet.

Der aktive NMOS-Bereich 128, der die Mehrzahl von Gateelektroden 129 aufweist, ist in dem NMOS-Bereich 126 gebildet, und ein vollständiger Trennbereich 125 umgibt fast vollständig den aktiven NMOS-Bereich 128. Der Teiltrennbereich 127 trennt nur ein erstes Ende von jeder Gateelektrode 129 (die an einer gegenüberliegenden Seite von dem PMOS-Transistor 136 angeordnet ist) von dem sie umgebenden Bereich.

Wie in Fig. 73 gezeigt ist, bilden der Oxidfilm 54 und der Wannenbereich 169, der in einem unteren Teil des Oxidfilmes 54 gebildet ist, den Teiltrennbereich 127. Der Teiltrennbereich 127 kann größer (wie der linke Teiltrennbereich 127 von Fig. 73) oder kleiner (wie der rechte Teiltrennbereich 127 von Fig. 73) in der Breite sein als die Gateelektroden 129. Der p⁺-Körperbereich 130 ist in dem Wannenbereich 169 in der Nähe der ersten Enden der Gateelektroden 129 vorgesehen.

Der aktive PMOS-Bereich 138, der die Mehrzahl von Gateelektroden 139 aufweist, ist in dem PMOS-Bereich 136 gebildet, und der komplette Trennbereich 125 umgibt fast vollständig den aktiven PMOS-Bereich 138. Wie in dem NMOS-Bereich 126 isoliert der Teiltrennbereich 137 nur ein erstes Ende von jeder der Gateelektroden 139 (die in entgegengesetzter Seite von dem NMOS-Transistor 126 angeordnet sind) von dem sie umgebenden Bereich. Der n⁺-Körperbereich 140 ist in dem Wannenbereich 179 in der Nähe der ersten Enden der Gateelektroden 139 vorgesehen.

In der zweiten Form der neunten bevorzugten Ausführungsform trennt der Teiltrennbereich die entsprechenden ersten Enden der Gateelektroden derart, daß ein Kanalbildungsbereich, der unterhalb der Gateelektroden liegt, den Wannenbereich des Teiltrennbereiches kontaktiert, wodurch die elektrischen Potentiale der Substrate der entsprechenden Transistorbildungsbereiche fixiert sind.

Der komplette Trennbereich 125 umgibt fast vollständig den NMOS- und den PMOS-Bereich 126 und 136 zum Zweck der Verringerung der PN-Übergangsfläche und des Unterbrechens eines Pfades, durch den ein Durchgriff auftritt.

Zehnte bevorzugte Ausführungsform

Erste Form

Fig. 74 ist eine Draufsicht einer ersten Form der Halbleitereinrichtung mit dem SOI-Aufbau entsprechend einer zehnten bevorzugten Ausführungsform. Wie in Fig. 74 gezeigt ist, sind die Mehrzahl von Gateelektroden 129 in dem aktiven NMOS-Bereich 128 gebildet, und der Teiltrennbereich 127 umgibt den aktiven NMOS-Bereich 128. Ein p⁺-Körperbereich 146 umgibt den Teiltrennbereich 127. Fig. 101 ist eine Schnittansicht entlang der Linie E-E von Fig. 74.

Wie in Fig. 101 gezeigt ist, enthält der Teiltrennbereich 127 den Oxidfilm 54 und den Wannenbereich 169. Der Wannenbereich 169, der in Kontakt mit einem Kanalbildungs-
bereich, der in dem aktiven NMOS-Bereich 128 gebildet ist, gebildet ist, ist empfindlich auf Rauschen und Durchgriff.

In der ersten Form der zehnten bevorzugten Ausführungsform ist jedoch der p⁺-Körperbereich 146 derart gebildet, daß er den Teiltrennbereich 127 umgibt. Daher kann das Substratpotential des p⁺-Körperbereiches 146 fixiert sein, z. B. auf den Massepegel, um den Einfluß von anderen
Schaltungsteilen zu unterdrücken, wodurch das Substratpotential stabilisiert wird. Dies erhöht deutlich die Widerstandsfähigkeit gegen Rauschen und Durchgriff.

Die erste Form der zehnten bevorzugten Ausführungsform, wie oben beschrieben wurde, ist geeignet für einen Schaltungsblock einer Rauschquelle, einen Schaltungsblock, in dem ein Entfernen von externem Rauschen gewünscht ist, und ähnlichem. Für den aktiven PMOS-Bereich kann ein n⁺-Körperbereich den Teiltrennbereich umgeben, wodurch ähnliche Effekte erzeugt werden.

Zweite Form

Fig. 75 ist eine Draufsicht einer zweiten Form der Halbleitervorrichtung mit dem SOI-Aufbau gemäß der zehnten bevorzugten Ausführungsform. Wie in Fig. 75 gezeigt ist, sind ein Eingabe-/Ausgabe-NMOS-Bereich 151 und ein Eingabe-/Ausgabe-PMOS-Bereich 152 zueinander benachbart angeordnet.

In dem I/O-NMOS-Bereich 151 sind die Mehrzahl von Gateelektroden 129 in dem aktiven NMOS-Bereich 128 gebildet und umgibt ein Teiltrennbereich 127A den aktiven NMOS-Bereich 128. Der p⁺-Körperbereich 146 umgibt den Teiltrennbereich 127A. Ein Teiltrennbereich 127B umgibt den p⁺-Körperbereich 146.

In dem I/O-PMOS-Bereich 152 sind die Mehrzahl von Gateelektroden 139 in dem aktiven PMOS-Bereich 138 gebildet, und ein Teiltrennbereich 137A umgibt den aktiven PMOS-Bereich 138. Ein n⁺-Körperbereich 147 umgibt den Teiltrennbereich 137A. Ein Teiltrennbereich 137B umgibt den n⁺-Körperbereich 147.

Im allgemeinen werden I/O-Schaltungen oft beeinflusst durch Stöße (Spannungsstöße bzw. Stromstöße) und Rauschen von außerhalb des Chips. Es ist daher besonders wichtig die Widerstandsfähigkeit der I/O-Schaltungen gegen Durchgriff und Rauschen zu erhöhen.

In der zweiten Form der zehnten bevorzugten Ausführungsform umgeben der p⁺-Körperbereich 146 und der n⁺-Körperbereich 147 die Teiltrennbereiche 127A und 137A der I/O-NMOS- und -PMOS-Bereiche 151 und 152 entsprechend derart, daß das Durchgriffsphänomen, das von dem Anstieg des Potentials der Wannenbereiche beeinflusst durch Stöße resultiert, unterdrückt wird.

Der aktive NMOS-Bereich und der aktive PMOS-Bereich sind vollständig bedeckt mit den Körperbereichen in der zweiten Form der zehnten bevorzugten Ausführungsform. Jedoch können die Körperbereiche zumindest in der Nähe einer Grenze zwischen dem I/O-NMOS-Bereich 151 und dem I/O-PMOS-Bereich 152 vorgesehen werden, wodurch die Widerstandsfähigkeit gegen Durchgriff und Rauschen in einem gewissen Grad erhöht wird.

Elfte bevorzugte Ausführungsform

Erste Form

Fig. 76 ist eine Draufsicht einer ersten Form der Halbleitereinrichtung mit dem SOI-Aufbau gemäß einer elften be-

vorzugten Ausführungsform der vorliegenden Erfindung.

Wie in Fig. 76 gezeigt ist, sind die Mehrzahl von Gateelektroden 129 in dem aktiven NMOS-Bereich 128 gebildet, und ein schwebender Teiltrennbereich 149 umgibt den aktiven NMOS-Bereich 128. Ein vollständiger Trennbereich 148 umgibt den schwebenden Teiltrennbereich 149.

Der schwebende Teiltrennbereich 149 weist einen Zweischichtaufbau mit einem Oxidfilm und einem Wannenbereich auf ähnlich zu dem Teiloxidfilm 31 und dem Wannenbereich 11, wie in Fig. 55 gezeigt ist. Der Wannenbereich des schwebenden Teiltrennbereiches 149 weist ein Potential auf, das nicht fixiert ist, sondern das immer schwebt bzw. nicht elektrisch fixiert ist. Da die durch Stoßionisation erzeugten Ladungsträger in den Wannenbereich des schwebenden Teiltrennbereiches 149 fließen, wenn der Wannenbereich des schwebenden Teiltrennbereiches 149 schwebend ist, wird der Anstieg des elektrischen Potentials minimiert. Zusätzlich verteilt der Wannenbereich des schwebenden Teiltrennbereiches 149 die elektrische Ladung, die durch Höhenstrahlung erzeugt ist, und so wird die Widerstandsfähigkeit gegen weiche Fehler erhöht.

Die Konstruktion der ersten Form der elften bevorzugten Ausführungsform, die den schwebenden Teiltrennbereich 149 enthält, ist effektiv für eine hochdichte bzw. hochintegrierte Schaltung, wie z. B. ein SRAM, bei der es schwierig ist, den Körperbereich zu kontaktieren.

Das Vorsehen des vollständigen Trennbereiches 148 ist bezüglich der Verbesserung der Durchgriffswiderstandsfähigkeit wünschenswert, ist aber nicht notwendigerweise erforderlich.

Zweite Form

Fig. 77 ist eine Draufsicht einer zweiten Form der Halbleitereinrichtung mit dem SOI-Aufbau gemäß der elften bevorzugten Ausführungsform.

Wie in Fig. 77 gezeigt ist, ist ein schwebender p⁺-Körperbereich 150 in dem schwebenden Teiltrennbereich 149 vorgesehen. Der verbleibende Aufbau der zweiten Form, die in Fig. 77 gezeigt ist, ist ähnlich zu dem der ersten Form, die in Fig. 76 gezeigt ist. Das elektrische Potential des schwebenden p⁺-Körperbereiches 150 ist nicht fixiert, sondern ist immer schwebend bzw. auf keinem elektrischen Potential fixiert. Folglich ist der Wannenbereich des schwebenden Teiltrennbereiches 149 auch schwebend.

Mit dem Wannenbereich des schwebenden Teiltrennbereiches 149, der in der zweiten Form schwebt, wird der Anstieg des elektrischen Potentials minimiert und die Widerstandsfähigkeit gegen weiche Fehler wird erhöht, wie bei der ersten Form.

Weiterhin fördert das Vorhandensein des schwebenden p⁺-Körperbereiches 150 in der zweiten Form die Ladungsträgerrekombination derart, daß ein größerer Effekt des Unterdrückens des Effektes des schwebenden Substrates als in der ersten Form erzeugt wird.

Zwölfte bevorzugte Ausführungsform

Erste Form

Fig. 78 ist eine Draufsicht einer ersten Form der Halbleitereinrichtung mit dem SOI-Aufbau gemäß einer zwölften bevorzugten Ausführungsform. Fig. 79 ist eine Schnittansicht entlang der Linie C-C von Fig. 78.

Wie in Fig. 78 und 79 gezeigt ist, weist ein NMOS-Transistor einen Drainbereich 153, einen Sourcebereich 154 und eine Gateelektrode 155 auf, und ist ein p⁺-Körperbereich 156 benachbart zu dem Sourcebereich 154 des NMOS-Transistor

sistors angeordnet. Der Sourcebereich 154 und der Körperbereich 156 sind elektrisch verbunden mit einer Aluminiumverbindungsschicht 160 über einen Kontakt 158.

Der Drainbereich 153 ist elektrisch verbunden mit einer Aluminiumverbindungsschicht 159 über einen Kontakt 157. Ein Teiltrennbereich 161 umgibt den Drainbereich 153, den Sourcebereich 154 und den Körperbereich 156.

Wie in Fig. 79 gezeigt ist, enthält der Teiltrennbereich 161 einen Oxidfilm 162 und einen p⁻-Wannenbereich 177. Zur Erleichterung der Verbindung zwischen dem Sourcebereich 154 und dem Körperbereich 156 ist eine Silizidschicht 163 auf der oberen Oberfläche des Sourcebereiches 154 und des Körperbereiches 156 gebildet, und der Kontakt 158 ist auf der Silizidschicht 163 gebildet. Ein Teil der SOI-Schicht 3, die unterhalb des Gateoxidfilmes 178 für die Gateelektrode 155 liegt, dient als Kanalbildungsbereich 170.

Bei einer solchen Konstruktion fixiert die Aluminiumverbindungsschicht 160 die elektrischen Potentiale des Sourcebereiches 154 und des Körperbereiches 156 auf dem Massepegel derart, daß der Wannenbereich 177 auf dem gleichen Potential wie der Sourcebereich 154 fixiert ist, wodurch das elektrische Potential des Kanalbildungsbereiches 170 über den Wannenbereich 177 fixiert wird.

In der ersten Form der zwölften bevorzugten Ausführungsform sind der Sourcebereich 154 und der Körperbereich 156 zueinander benachbart angeordnet, wie in Fig. 78 und 79 gezeigt ist, wodurch der Integrationsgrad erhöht wird.

Ein PMOS-Transistor kann ähnlich konstruiert sein mit der Ausnahme, daß die elektrischen Potentiale eines Sourcebereiches und eines Körperbereiches auf dem Stromversorgungsniveau fixiert sind.

Zweite Form

Fig. 80 ist eine Draufsicht einer zweiten Form der Halbleitereinrichtung mit dem SOI-Aufbau gemäß der zwölften bevorzugten Ausführungsform. Fig. 81 ist eine Schnittansicht entlang der Linie D-D von Fig. 80.

Wie in Fig. 80 und 81 gezeigt ist, ist ein p⁺-Körperbereich 164 benachbart zu dem Sourcebereich 154 angeordnet. Der Sourcebereich 154 und der Körperbereich 164 sind elektrisch verbunden mit einer Aluminiumverbindungsschicht 166 über einen Kontakt 165. Der Kontakt 165 ist in Kontakt mit dem Sourcebereich 154 und dem Körperbereich 164 gebildet. Der Teiltrennbereich 161 umgibt den Drainbereich 153, den Sourcebereich 154 und den Körperbereich 164.

Wie in Fig. 81 gezeigt ist, ist eine Silizidschicht 167 auf dem Sourcebereich 154 gebildet, und der Kontakt 165 ist auf dem Körperbereich 164 und einem Teil der Silizidschicht 167 gebildet. Der verbleibende Aufbau der zweiten Form, die in Fig. 80 und 81 gezeigt ist, ist ähnlich zu dem der ersten Form, die in Fig. 78 und 79 gezeigt ist.

Bei einer solchen Konstruktion fixiert die Aluminiumverbindungsschicht 166 die elektrischen Potentiale des Sourcebereiches 154 und des Körperbereiches 164 auf dem Massepegel derart, daß der Wannenbereich 177 auf dem gleichen Potential wie der Sourcebereich 154 ist, wodurch das elektrische Potential des Kanalbildungsbereiches 170 über den Wannenbereich 177 fixiert wird.

In der zweiten Form der zwölften bevorzugten Ausführungsform sind der Sourcebereich 154 und der Körperbereich 164 zueinander benachbart angeordnet, wie in Fig. 80 und 81 gezeigt ist, wodurch der Integrationsgrad erhöht wird.

Dritte Form

Wie in Fig. 82 gezeigt, ist der Körperbereich 164 in einem Bereich vorgesehen, der normalerweise Teil des Sourcebereiches 154 ist und der benachbart zu dem Teiltrennbereich 161 ist, und der Kontakt 165 ist auf dem Sourcebereich 154 gebildet. Dies erzeugt Effekte, die ähnlich zu denen der zweiten Form sind.

In der dritten Form der zwölften bevorzugten Ausführungsform ist der Körperbereich 164 in dem Bereich enthalten, der als Teil des Sourcebereiches 154 dienen soll, wie in Fig. 82 gezeigt ist, wodurch der Integrationsgrad weiter erhöht wird verglichen mit der ersten und zweiten Form.

Dreizehnte bevorzugte Ausführungsform

Fig. 83 ist eine Schnittansicht der Halbleitereinrichtung mit dem SOI-Aufbau gemäß einer dreizehnten bevorzugten Ausführungsform. Wie in Fig. 83 gezeigt ist, stellt ein Teiltrennbereich, der einen Oxidfilm 173 und einen Wannenbereich (mit einem Paar von p-Bereichen 174 und 175 und einem p⁻-Bereich 176), der unterhalb des Oxidfilmes 173 gebildet ist, enthält, eine Trennung zwischen aktiven n⁺-Bereichen 171 und 172 bereit. Die aktiven n⁺-Bereiche 171 und 172 entsprechen beispielsweise einem Source- bzw. einem Drainbereich eines Transistors. Die p-Bereiche 174 und 175 dienen als periphere Bereiche bzw. Umfangsbereiche des Wannenbereiches benachbart zu den aktiven n⁺-Bereichen 171 und 172, und der p⁻-Bereich 176 dient als Mittelbereich des Wannenbereiches.

Somit ist die dreizehnte bevorzugte Ausführungsform derart angepaßt, daß die Dotierungskonzentration der p-Bereiche 174 und 175, die benachbart zu den entsprechenden aktiven n⁺-Bereichen 171 und 172 sind, größer ist als die des p⁻-Bereiches 176 und so wird die Widerstandsfähigkeit gegen einen Durchgriff in dem Teiltrennbereich erhöht.

Die p-Bereiche 174 und 175 können so hergestellt werden, wie in Fig. 83 gezeigt ist, durch Implantieren von Borionen oder BF₂-Ionen derart, daß der Wannenbereich erreicht wird, durch die geeignete Drehionenimplantationstechnik (Ionenimplantationstechnik, bei der der Wafer geneigt ist und gedreht wird) nachdem ein p⁻-Wannenbereich unterhalb des Oxidfilmes 173 gebildet ist.

Beispielsweise können Borionen (B) mit einer Energie von 20 keV, einem Winkel von 45° und einer Dosis von 4 × 10¹³/cm² implantiert werden. Mit einer geringen Implantationsenergie für B und BF₂ (z. B. eine Implantationsenergie von 20 keV für BF₂) werden die p-Bereiche 174 und 175 benachbart zu den aktiven n⁺-Bereichen 171 und 172 gebildet durch eine beschleunigte Diffusion, die von Gitterfehlern resultiert, die auftreten, wenn eine n⁺-Dotierung implantiert wird.

Vierzehnte bevorzugte Ausführungsform

Erste Form

Fig. 84 ist eine Schnittansicht einer ersten Form der Halbleitereinrichtung mit dem SOI-Aufbau gemäß einer vierzehnten bevorzugten Ausführungsform. Wie in Fig. 84 gezeigt ist, ist ein NMOS-Transistor, der in der SOI-Schicht 3, die auf dem vergrabenen Oxidfilm 2 auf dem Siliziumsubstrat 1 liegt, gebildet ist und einen Drainbereich 183, einen Sourcebereich 184, einen Gateoxidfilm 185 und eine Gateelektrode 186 und einen Kanalbildungsbereich 187 aufweist, teilweise getrennt durch einen Teiltrennbereich, der einen Oxidfilm 181 und einen Wannenbereich 182 aufweist.

Bezugsnehmend auf den rechten Teil von Fig. 84 ist die

Halbleitereinrichtung von Fig. 84 derart entworfen, daß ein Vergleich zwischen einem Dotierungskonzentrationsprofil für den Drainbereich 183 und den Sourcebereich 184 und einem Dotierungskonzentrationsprofil für den Wannenbereich 182 zeigt, daß eine Dotierungskonzentrationspitze für den Wannenbereich 182 tiefer von der Oberfläche der SOI-Schicht 3 liegt als eine Dotierungskonzentrationspitze für den Drainbereich 183 und den Sourcebereich 184.

In der Halbleitereinrichtung der ersten Form der vierzehnten bevorzugten Ausführungsform kann der PN-Übergang des Drain- und Sourcebereiches 183, 184 und des Wannenbereiches 182 an einem Ort gebildet sein, an dem die Dotierungskonzentration des Drain- und Sourcebereiches 183, 184 und die Dotierungskonzentration des Wannenbereiches 182 beide gering in den Dotierungskonzentrationsprofilen sind. Dies erhöht die Durchbruchsspannung des PN-Überganges von dem Drain- und Sourcebereich 183, 184 und von dem Wannenbereich 182.

Zweite Form

Fig. 85 ist eine Schnittansicht einer zweiten Form der Halbleitereinrichtung mit dem SOI-Aufbau gemäß der vierzehnten bevorzugten Ausführungsform. Die Halbleitereinrichtung der zweiten Form, die in Fig. 85 gezeigt ist, ist ähnlich in der Konstruktion zu der der ersten Form.

Bezugnehmend auf den rechten Teil von Fig. 85 ist die Halbleitereinrichtung von Fig. 85 derart entworfen, daß ein Vergleich zwischen einem Dotierungskonzentrationsprofil für den Wannenbereich 182 und einem Dotierungskonzentrationsprofil für den Kanalbildungsbereich 187 zeigt, daß eine Dotierungskonzentrationspitze für den Wannenbereich 182 flacher von der Oberfläche der SOI-Schicht 3 liegt (näher zu der Oberfläche) als eine Dotierungskonzentrationspitze für den Kanalbildungsbereich 187. Wenn zum Beispiel eine Ionenimplantation durchgeführt wird mit der oberhalb der Oberfläche der SOI-Schicht 3 positionierten oberen Oberfläche des Oxidfilmes 181 für die Teiltrennung, um gleichzeitig den Wannenbereich 182 und den Kanalbildungsbereich 187 zu bilden, zeigt das Dotierungskonzentrationsprofil des Kanalbildungsbereiches 187 automatisch eine tiefere Spitze als die Spitze des Wannenbereiches 182.

Bei der Halbleitereinrichtung der zweiten Form der vierzehnten bevorzugten Ausführungsform ist die Dotierungskonzentration der Oberfläche des Kanalbildungsbereiches 187 ausreichend verringert und so wird verhindert, daß eine Schwellenspannung einen gewünschten Wert übersteigt.

Fünfzehnte bevorzugte Ausführungsform

Erste Form

Fig. 86 ist eine Schnittansicht einer ersten Form der Halbleitereinrichtung mit dem SOI-Aufbau gemäß einer fünfzehnten bevorzugten Ausführungsform. Wie in Fig. 86 gezeigt ist, sind aktive n^+ -Bereiche 191 bis 193 selektiv in der SOI-Schicht 3, die auf dem vergrabenen Oxidfilm 2 auf dem Siliziumsubstrat 1 liegt, gebildet. Ein vollständiger Trennbereich 209 stellt eine Trennung zwischen den aktiven n^+ -Bereichen 191 und 192 bereit, und ein Teiltrennbereich 219 stellt eine Trennung zwischen den aktiven n^+ -Bereichen 192 und 193 bereit.

Der vollständige Trennbereich 209 enthält einen Oxidfilm 188 und einen Wannenbereich (mit einem Paar von p^- -Wannenbereichen 194, 195 und einem Paar von p^- -Wannenbereichen 196, 197), der unterhalb des Oxidfilmes 188 gebildet ist. Der Oxidfilm 188 weist einen mittleren vollständigen Trennteil 229 auf, der sich durch die SOI-Schicht 3 derart

erstreckt, daß eine vollständige Trennung zwischen den aktiven n^+ -Bereichen 191 und 192 bereitgestellt wird. Der Teiltrennbereich 219 enthält einen Oxidfilm 189 und einen p^- -Wannenbereich 198, der unterhalb des Oxidfilmes 189 liegt.

Der Wannenbereich unterhalb des Oxidfilmes 188 ist derart entworfen, daß die Dotierungskonzentration der p^- -Wannenbereiche 196, 197, die benachbart zu dem vollständigen Trennteil 229 sind, höher ist als die der anderen Bereiche 194, 195.

In der Nähe des vollständigen Trennteiles 229 gibt es eine große Wahrscheinlichkeit, daß unerwünschte Bedingungen auftreten, zum Beispiel entwickeln an die SOI-Schicht 3 angelegte Beanspruchungen eine elektrische Ladung und es ist wahrscheinlich, daß ein Durchgriff auftritt aufgrund der Absonderung bzw. Ausscheidung von Dotierungen in den Oxidfilm.

Die p^- -Wannenbereiche 196, 197 mit einer relativ hohen Dotierungskonzentration sind jedoch benachbart zu den vollständigen Trennteil 229 vorgesehen und so wird die Wahrscheinlichkeit der unerwünschten Bedingungen in der ersten Form der fünfzehnten bevorzugten Ausführungsform verringert.

Zweite Form

Fig. 87 ist eine Draufsicht einer zweiten Form der Halbleitereinrichtung mit dem SOI-Aufbau gemäß der fünfzehnten bevorzugten Ausführungsform. Wie in Fig. 87 gezeigt ist, umgeben Teiltrennbereiche 204 bis 207 einen NMOS-Transistor, der einen Drainbereich 201, einen Sourcebereich 202 und eine Gateelektrode 203 enthält. Ein vollständiger Trennbereich 208 umgibt die Teiltrennbereiche 204 bis 207.

Die Teiltrennbereiche 204 bis 207 sind derart angeordnet, daß die p^- -Wannenbereiche 206 und 207 mit einer relativ hohen Dotierungskonzentration benachbart zu der Gateelektrode 203 angeordnet sind, und die p^- -Wannenbereiche 204 und 205 mit einer relativ geringen Dotierungskonzentration sind in anderen Bereichen in Kontakt mit dem Drainbereich 201 und dem Sourcebereich 202 gebildet.

In der Anordnung in der zweiten Form der fünfzehnten bevorzugten Ausführungsform verringern die p^- -Wannenbereiche 204 und 205 die PN-Übergangskapazität, und die p^- -Wannenbereiche 206 und 207 verhindern einen Durchgriff.

Sechzehnte bevorzugte Ausführungsform

Erste Form

Fig. 88 ist eine Schnittansicht einer ersten Form der Halbleitereinrichtung mit dem SOI-Aufbau gemäß einer sechzehnten bevorzugten Ausführungsform. Wie in Fig. 88 gezeigt ist, ist ein Oxidfilm 211 für einen Teiltrennbereich in der SOI-Schicht 3, die auf dem vergrabenen Oxidfilm 2 auf dem Siliziumsubstrat 1 liegt, gebildet.

Die Optimierung der Trennform erfordert, daß die Verringerung der Trennbreite und die Verminderung der an die SOI-Schicht angelegten Beanspruchungen in einem Ausgleich gehalten werden. Für eine Verringerung der Trennbreite ist es wünschenswert, daß ein Oxidfilm für einen Teiltrennbereich derart geformt ist, daß er eine steilere Krümmung (oder einen kleineren Krümmungsradius) in seinem Eckteil aufweist und eine sich in einer Tiefenrichtung erstreckende Oberfläche aufweist, die so senkrecht wie möglich ist. Für eine Verminderung der Beanspruchung ist es andererseits wünschenswert, daß der Eckteil des Oxidfilmes eine sanftere bzw. geringere Krümmung (oder einen größe-

ren Krümmungsradius) aufweist. Zusätzlich ist ein Vogelschnabel (bird's beak) bevorzugt so klein wie möglich, um die effektive Breite eines aktiven Bereiches sicherzustellen.

Von einem solchen Standpunkt aus, ist die Querschnittsform des Oxidfilmes **211** der ersten Form derart, daß eine Vogelschnabelform **FA** (Vorsprung) an einer Oberflächenecke eine steilere Krümmung zur Verringerung der Trennbreite aufweist und daß eine Bodeneckenform **FC** eine sanftere Krümmung für eine Verminderung der Beanspruchung aufweist. Für eine Verringerung der Trennbreite ist es bevorzugt, daß zumindest ein Teil der Seitenoberflächenform **FB**, die sich in der Tiefenrichtung erstreckt, so senkrecht wie möglich ist.

Zweite Form

Fig. 89 ist eine Querschnittsansicht einer zweiten Form der Halbleitereinrichtung mit dem SOI-Aufbau gemäß der sechzehnten bevorzugten Ausführungsform. Wie in **Fig. 89** gezeigt ist, ist ein Oxidfilm **212** für einen vollständigen Trennbereich in der SOI-Schicht **3** gebildet, die den vergrabenen Oxidfilm **2** auf dem Siliziumsubstrat **1** überlappt.

Von einem ähnlichen Standpunkt wie der der ersten Form enthält die Querschnittsform des Oxidfilmes **212** die Formen **FA**, **FB**, **FC** ähnlich zu denen der ersten Form. Zusätzlich weist eine gestufte Teilform **FD**, die zwischen einem vollständigen Trennteil an einem Boden und einem Teiltrennteil definiert ist, eine steilere Krümmung auf als die Form **FC**, um die Trennbreite zu verringern.

Siebzehnte bevorzugte Ausführungsform

Erste Form

Fig. 90 ist eine Schnittansicht einer ersten Form der Halbleitereinrichtung mit dem SOI-Aufbau gemäß einer siebzehnten bevorzugten Ausführungsform. Die erste Form der siebzehnten bevorzugten Ausführungsform stellt eine in **Fig. 91** gezeigte Schaltung bereit. Bezugnehmend auf **Fig. 91** enthält die Schaltungsanordnung der ersten Form eine Spiralinduktionsspule **199**, die zwischen einer Gateelektrode eines Transistors **Q21** für eine analoge Schaltung und einer ersten Elektrode eines Transistors **Q22** für eine analoge Schaltung verbunden ist.

Wie in **Fig. 90** gezeigt ist, ist der vergrabene Oxidfilm **2** auf einem Siliziumsubstrat **200** mit hohem Widerstand gebildet, und sind die Transistoren **Q21** und **Q22** in der SOI-Schicht **3** gebildet, die den vergrabenen Oxidfilm **2** bedeckt.

Jeder der Transistoren **Q21** und **Q22** enthält den Drainbereich **5**, den Sourcebereich **6**, den Kanalbildungsbereich **7**, den Gateoxidfilm **8** und die Gateelektrode **9**. Ein Oxidfilm **210** mit einer relativ großen Fläche stellt eine vollständige Trennung zwischen den Transistoren **Q21** und **Q22** bereit. Der Oxidfilm **33** mit einer relativ kleinen Fläche stellt eine vollständige Trennung zwischen jedem der Transistoren **Q21** und **Q22** und dem ihn umgebenden Bereich bereit. Die Wannenbereiche **29** sind in unteren Teilen der Oxidfilme **210** und **33** gebildet.

Der Zwischenschichtisolierfilm **4** ist auf der gesamten Oberfläche der SOI-Schicht **3** gebildet, die die Transistoren **Q21** und **Q22** enthält. Eine erste Verbindungsschicht **221** ist selektiv auf dem Zwischenschichtisolierfilm **4** gebildet. Teile der ersten Verbindungsschicht **221** sind elektrisch mit den Drainbereichen **5** und den Sourcebereichen **6** der Transistoren **Q21** und **Q22** über Kontaktlöcher **244** verbunden. Ein Zwischenschichtisolierfilm **220** ist auf der gesamten Oberfläche des Zwischenschichtisolierfilmes **4** gebildet und enthält die erste Verbindungsschicht **221**. Eine zweite Ver-

bindungsleitung **222** ist selektiv auf dem Zwischenschichtisolierfilm **220** gebildet. Ein Teil der zweiten Verbindungsleitung **222** bildet die Spiralinduktionsspule **199**. Teile der zweiten Verbindungsleitung **222** sind elektrisch mit zugeordneten Teilen der ersten Verbindungsschicht **221** (**221A**) über Kontaktlöcher **254** entsprechend verbunden. Die Gateelektrode **9** des Transistors **Q21** ist mit dem ersten Verbindungsschichtteil **221A** über ein Kontaktloch verbunden, das durch den Zwischenschichtisolierfilm **4** gebildet ist, obwohl dies nicht in **Fig. 90** gezeigt ist.

Eine solche Konstruktion der ersten Form weist einen kompletten Isolierbereich, der den Oxidfilm **210** und den Wannenbereich **29** aufweist, unter der Spiralinduktionsspule **199** auf und so wird eine mit der Spiralinduktionsspule **199** verbundene parasitäre Kapazität verringert. Wenn ein Trennbereich unter der Spiralinduktionsspule **199** ein Teiltrennbereich ist, der ein Oxidfilm und ein Wannenbereich enthält, wird speziell eine parasitäre Kapazität erzeugt zwischen dem Wannenbereich und der Spiralinduktionsspule **199** und so wird der Leistungsindex **Q** (ein Verhältnis von Energieverlust zu Energiespeicherung) verringert, was in Energieverlusten resultiert. In diesem Fall wird eine gewünschte Induktionseigenschaft nicht erreicht. Die Konstruktion der ersten Form beseitigt solche unerwünschten Bedingungen.

Die Verwendung des Siliziumsubstrates **200** mit hohem Widerstand als ein unterliegendes Substrat des SOI-Substrates in der ersten Form verringert die Leistungsverluste aufgrund von einem Wirbelstrom und einer Kapazität, verringert die parasitäre Kapazität und erhöht den Leistungsindex **Q**.

Da es bei analogen Schaltungen erforderlich ist, sie frei von Fremdgeräuschen bzw. Störrauschen zu halten, trennt der Oxidfilm **210** oder der Oxidfilm **33** die Transistoren **Q21** und **Q22** für analoge Schaltungen von ihren umgebenden Bereichen vollständig und so werden die Transistoren **Q21** und **Q22** von dem äußeren elektrisch getrennt, wodurch die Leistungsfähigkeit erhöht wird.

Obwohl es in **Fig. 90** nicht gezeigt ist, ist es, wenn ein Teiltrennbereich unterhalb des Anschlusses bzw. einer Anschlußfläche gebildet ist, wahrscheinlich, daß eine große parasitäre Kapazität erzeugt wird, wie in dem Fall der Spiralinduktionsspule, was in Leistungsverlusten resultiert. Es ist daher wünschenswert, daß ein vollständiger Trennbereich unterhalb des Anschlusses sowie unterhalb der Spiralinduktionsspule **199** vorgesehen wird.

Zweite Form

Fig. 92 ist eine Schnittansicht einer zweiten Form der Halbleitereinrichtung mit dem SOI-Aufbau gemäß der siebzehnten bevorzugten Ausführungsform. Die zweite Form der siebzehnten bevorzugten Ausführungsform, die ähnlich zu der ersten Form ist, stellt die in **Fig. 91** gezeigte Schaltung bereit.

Wie in **Fig. 92** gezeigt ist, stellen ein Oxidfilm **218** mit einer relativ großen Fläche und ein darunter gebildeter Hochwiderstandsbereich **223** und Wannenbereiche **224**, die unterhalb des Oxidfilmes **218** gebildet sind, eine Teiltrennung zwischen den Transistoren **Q21** und **Q22** bereit. Der Oxidfilm **31** mit einer relativ kleinen Fläche und der Wannenbereich **11** (**12**), der unterhalb des Oxidfilmes **31** gebildet ist, stellen eine Teiltrennung zwischen jedem der Transistoren **Q21**, **Q22** und dem ihn umgebenden Bereich bereit.

Der Hochwiderstandsbereich **223** belegt die meiste Fläche unterhalb des Oxidfilmes **218**, und die Wannenbereiche **224** belegen eine kleine Umfangsfläche bzw. kleine periphere Fläche. Der verbleibende Aufbau der zweiten Form ist

ähnlich zu dem der ersten Form, die in Fig. 90 gezeigt ist.

In der zweiten Form der siebzehnten bevorzugten Ausführungsform belegen, obwohl die Teiltrennung bereitgestellt wird, der Oxidfilm 218 und der Hochwiderstandsbereich 223 fast den gesamten Teil des Teiltrennbereiches unterhalb der Spiralinduktionsspule 199. Dies unterdrückt ausreichend die mit der Spiralinduktionsspule 199 verbundene parasitäre Kapazität.

Der Hochwiderstandsbereich 223 kann in einer solchen Art hergestellt werden, daß keine Dotierungen in den Hochwiderstandsbereich 223 eingebracht werden. Alternativ kann das Verfahren des Herstellens der Hochwiderstandsbereiches 223 die Schritte des Implantierens von z. B. Siliziumionen mit einer Dosis so hoch wie ungefähr $1 \times 10^{20}/\text{cm}^2$, um einen unteren Bereich des Oxidfilmes amorph zu machen, und dann Erwärmen des unteren Bereiches, um eine Polysiliziumschicht zu bilden, die als Hochwiderstandsbereich 223 dient, aufweisen.

Achtzehnte bevorzugte Ausführungsform

Fig. 93 ist eine Draufsicht einer Halbleitereinrichtung mit dem SOI-Aufbau gemäß einer achtzehnten bevorzugten Ausführungsform. Wie in Fig. 93 gezeigt ist, stellt ein vollständiger Trennbereich 240 eine vollständige Trennung zwischen DT-MOS-Transistorbereichen 225 und 226 bereit. Ein DT-MOS-Transistor ist ein MOS-Transistor, der eine Gateelektrode und einen Körperbereich (Kanalbildungsbereich) aufweist, die auf dem gleichen Potential sind.

Jeder der DT-MOS-Transistorbereiche 225 und 226 enthält einen aktiven n^+ -NMOS-Bereich 232 und einen p^+ -Körperbereich 234, die in einem p-Wannenbereich 231 (ein Teiltrennbereich 230) gebildet sind. Der aktive NMOS-Bereich 232 ist mit Verbindungsschichten 239 über Kontakte 238 verbunden. Eine Gateelektrode 233, die in einem Mittelabschnitt des aktiven NMOS-Bereiches 232 gebildet ist, ist elektrisch verbunden mit einer Verbindungsschicht 237 über einen Kontakt 235 (Gatekontakt). Der Körperbereich 234 ist elektrisch verbunden mit der Verbindungsschicht 237 über einen Kontakt 236 (Körperkontakt).

Die Verbindungsschicht 237 wird verwendet, um die Gateelektrode 233 und den Körperbereich 234 auf das gleiche Potential einzustellen und so eine Schwellenspannung des Ein-Zustandes zu verringern, was die Betriebsgeschwindigkeit der Halbleitereinrichtung erhöht.

Somit wird gemäß der achtzehnten bevorzugten Ausführungsform das elektrische Potential des Kanalbildungsbereiches über den Körperbereich 234 und den Wannenbereich 231 fixiert, und der vollständige Trennbereich 240 stellt eine vollständige Trennung zwischen den DT-MOS-Transistorbereichen 225 und 226 bereit. Daher wird ein sehr leistungsfähiger DT-MOS-Transistor relativ einfach gebildet. Der Körperkontakt und der Gatekontakt können durch einen gemeinsamen bzw. geteilten Kontakt ersetzt sein, der gemeinsam mit der Gateelektrode 233 und dem Körperbereich 234 verbunden ist.

Neunzehnte bevorzugte Ausführungsform

Fig. 94 ist eine Schnittansicht der Halbleitereinrichtung mit dem SOI-Aufbau gemäß einer neunzehnten bevorzugten Ausführungsform.

Wie in Fig. 94 gezeigt ist, sind in einem Transistorbildungsbereich 227, in dem ein Transistor mit einer relativ kleinen Gatebreite W gebildet werden soll, MOS-Transistoren gebildet, die jeweils einen Drainbereich 245, einen Sourcebereich 246, einen Kanalbildungsbereich 247, einen Gateoxidfilm 248 und eine Gateelektrode 249 aufweisen.

Der Teiloxydilm 31 und der Wannenbereich 11 (12) stellen eine Teiltrennung zwischen den MOS-Transistoren bereit. Der volle Oxidfilm 32 trennt MOS-Transistoren vollständig von den sie umgebenden Bereichen.

Der Zwischenschichtisolierfilm 4 ist auf der gesamten Oberfläche der SOI-Schicht 3 gebildet, die die MOS-Transistoren in dem Transistorbildungsbereich 227 enthält. Eine Verbindungsschicht 242 ist selektiv auf dem Zwischenschichtisolierfilm 4 gebildet. Die Verbindungsschicht 242 ist elektrisch verbunden mit dem Drain- und Sourcebereich 245 und 246 über Kontaktlöcher 241.

In einem Transistorbildungsbereich 228, in dem ein Transistor mit einer relativ großen Gatebreite W gebildet werden soll, sind MOS-Transistoren gebildet, die jeweils einen Drainbereich 255, einen Sourcebereich 256, einen Kanalbildungsbereich 257, einen Gateoxidfilm 258 und eine Gateelektrode 259 aufweisen. Der Teiloxydilm 31 und der Wannenbereich 11 (12) stellen eine Teiltrennung zwischen den Transistoren bereit. Der volle Oxidfilm 32 trennt die MOS-Transistoren vollständig von den sie umgebenden Bereichen.

Der Zwischenschichtisolierfilm 4 ist auf der gesamten Oberfläche der SOI-Schicht 3 gebildet, die die MOS-Transistoren in dem Transistorbildungsbereich 228 enthält. Eine Verbindungsschicht 252 ist selektiv auf dem Zwischenschichtisolierfilm 4 gebildet. Die Verbindungsschicht 252 ist elektrisch verbunden mit dem Drain- und Sourcebereichen 255 und 256 über Kontaktlöcher 251.

Die Tiefe der Drain- und Sourcebereiche 245 und 246 in dem Transistorbildungsbereich 227 mit einer relativ geringen Gatebreite W ist derart gesteuert, daß zumindest ein Teil einer Verarmungsschicht 243, die sich von dem Source/Drain erstreckt, den vergrabenen Oxidfilm 2 in dem eingebauten Zustand (bzw. Diffusionsspannungszustand) erreicht, wodurch die Übergangskapazität verringert wird. Die Tiefe der Drain- und Sourcebereiche 245 und 246 kann derart gesteuert sein, daß sie den vergrabenen Oxidfilm 2 erreichen.

Andererseits ist die Tiefe der Drain- und Sourcebereiche 255 und 256 in dem Transistorbildungsbereich 258 mit einer relativ großen Gatebreite derart gesteuert, daß eine Verarmungsschicht 253, die sich von dem Source/Drain erstreckt, nicht den vergrabenen Oxidfilm 2 in dem eingebauten Zustand (Diffusionsspannungszustand) erreicht, wodurch die Fixierung des elektrischen Potentials des Kanalbildungsbereiches 257 sichergestellt wird.

Die zwei Typen der Drain-/Sourcebereiche in den Transistorbildungsbereichen 227 und 228 werden durch Implantieren von Dotierungen bei unterschiedlichen Implantierungsenergien für die Source-/Drainbildung oder durch Implantieren von Dotierungen mit unterschiedlichen Dosen für eine NUDC (ungleichmäßig dotierte Kanal)-Bildung hergestellt.

Alternativ kann der Vorgang der Herstellung der zwei Typen der Drain-/Sourcebereiche die Schritte des Bildens der Source-/Drainbereiche mit einer Tiefe, die der Verarmungsschicht nicht ermöglicht, den vergrabenen Oxidfilm 2 in dem Diffusionsspannungszustand zu erreichen, und danach zusätzlich nochmaliges Implantieren von Dotierungen derart, daß nur die Source-/Drainbereiche in dem Transistorbildungsbereich 227 tiefer werden, aufweisen.

Zwanzigste bevorzugte Ausführungsform

Erste Form

Fig. 95 ist eine Schnittansicht einer ersten Form der Halbleitereinrichtung mit dem SOI-Aufbau gemäß einer zwanzigsten bevorzugten Ausführungsform.

zigsten Ausführungsform. Wie in Fig. 95 gezeigt ist, sind n^+ -Bereiche 261 und 262 selektiv in der SOI-Schicht 3 gebildet, die den vergrabenen Oxidfilm 2 auf dem Siliziumsubstrat 1 bedeckt. Ein Teiltrennbereich, der einen p^- -Bereich 263 und einen Oxidfilm 264 enthält, ist zwischen den n^+ -Bereichen 261 und 262 vorgesehen. Die n^+ -Bereiche 261, 262, der p^- -Bereich 263 und der Oxidfilm 264 bilden einen Feldtransistor. Der Feldtransistor weist eine Struktur derart auf, daß ein Gateteil (ein Gateoxidfilm und eine Gateelektrode) eines MOS-Transistors durch einen Oxidfilm ersetzt ist.

In der ersten Form der zwanzigsten bevorzugten Ausführungsform wird der Aufbau des Teiltrennbereiches, der den p^- -Bereich 263 und den Oxidfilm 264 enthält, verwendet, um den Feldtransistor zu bilden. Der Feldtransistor ist anwendbar auf eine Vorrichtung für eine Schutzschaltung und ähnliches.

Der Gateteil des Feldtransistors gemäß der zwanzigsten bevorzugten Ausführungsform ist grundsätzlich ähnlich im Aufbau zu dem Teiltrennbereich. Daher können der Gateteil und der Teiltrennbereich zur gleichen Zeit konstruiert werden, wodurch der Feldtransistor relativ leicht gebildet wird.

Fig. 96 ist ein Schaltbild eines Eingangsteils einer Schaltung, auf die Feldtransistoren anwendbar sind. Wie in Fig. 96 gezeigt ist, weist ein Feldtransistor Q31 eine erste Elektrode, die mit einem externen Eingangsanschluß P1 verbunden ist, und eine zweite Elektrode, die mit Masse verbunden ist, auf. Ein Feldtransistor Q33 ist zwischen einer Stromversorgung und Masse verbunden. Der verbleibende Aufbau von Fig. 96 ist ähnlich zu dem, der in Fig. 66 gezeigt ist, und die Beschreibung davon wird hier ausgelassen.

Somit dient der Feldtransistor Q31 als eine Schutzschaltung zwischen dem externen Eingangsanschluß P1 und dem Massepegel und der Feldtransistor Q33 stellt einen parasitären Diodenweg zwischen der Stromversorgung und dem Massepegel bereit.

Fig. 97 ist ein Schaltbild eines Ausgabeteils einer Schaltung, bei der die Feldtransistoren angewendet werden. Wie in Fig. 97 gezeigt ist, weist der Feldtransistor Q32 eine erste Elektrode, die mit dem externen Ausgabeanschluß P4 verbunden ist, und eine zweite Elektrode, die mit Masse verbunden ist, auf. Ein Feldtransistor Q34 ist zwischen einer Stromversorgung und Masse verbunden. Der verbleibende Aufbau von Fig. 97 ist ähnlich zu dem, der in Fig. 67 gezeigt ist, und die Beschreibung davon wird hier ausgelassen.

Somit dient der Feldtransistor Q32 als eine Schutzschaltung zwischen dem externen Ausgabeanschluß P4 und dem Massepegel, und der Feldtransistor Q34 stellt einen parasitären Diodenweg zwischen der Stromversorgung und dem Massepegel bereit.

Die Feldtransistoren weisen bevorzugt einen NMOS-ähnlichen Aufbau auf, wie in Fig. 95 gezeigt ist, aufgrund ihrer hohen Entladefähigkeit, aber ein PMOS-ähnlicher Aufbau kann auch verwendet werden, wobei in diesem Fall ein Feldtransistor zwischen einer Stromversorgung und dem externen Eingangsanschluß P1 verbunden sein sollte anstatt der Feldtransistoren Q31, Q32.

Zweite Form

Fig. 98 ist eine Schnittansicht der zweiten Form der Halbleitereinrichtung mit dem SOI-Aufbau gemäß der zwanzigsten bevorzugten Ausführungsform. Wie in Fig. 98 gezeigt ist, umgibt ein voller Oxidfilm 265 die n^+ -Bereiche 261 und 262 und trennt so vollständig die n^+ -Bereiche 261 und 262 von den sie umgebenden Bereichen. Der verbleibende Aufbau von Fig. 98 ist ähnlich zu dem der ersten Form, die in Fig. 95 gezeigt ist, und die Beschreibung davon wird hier

ausgelassen.

Die zweite Form, bei der der volle Oxidfilm 265 den gesamten Feldtransistor umgibt, erzeugt große Effekte bei der Rauschentfernung und ähnliches. Ferner kann, wenn der Feldtransistor als Schutzschaltung verwendet wird, die zweite Form zuverlässig einen parasitären Strompfad zu anderen Elementen verhindern.

Dritte Form

Fig. 99 ist eine Draufsicht einer dritten Form der Halbleitereinrichtung mit dem SOI-Aufbau gemäß der zwanzigsten bevorzugten Ausführungsform. Eine Mehrzahl von n^+ -Bereichen 261 und 262 sind abwechselnd angeordnet. Der Oxidfilm 264 und der p^- -Bereich 263 stellen eine Teiltrennung zwischen benachbarten n^+ -Bereichen 261, 262 bereit, und der volle Oxidfilm 265 trennt die n^+ -Bereiche 261, 262 vollständig von den sie umgebenden Bereichen.

Die Mehrzahl von n^+ -Bereichen 261 sind gemeinsam mit einem Verbindungsanschluß P11 verbunden, und die Mehrzahl von n^+ -Bereichen 262 sind gemeinsam mit einem Verbindungsanschluß P12 verbunden. Somit sind die Mehrzahl der n^+ -Bereiche 261 und 262, die in einer kammartigen Anordnung angeordnet sind, elektrisch parallel verbunden und so wird die Entladefähigkeit davon erhöht.

Modifikationen

Die Tiefe der Source-/Drainbereiche (n^+ -Bereiche 261, 262) des Feldtransistors muß nicht den vergrabenen Oxidfilm 2 erreichen, kann jedoch derart gesteuert sein, daß es der Verarmungsschicht ermöglicht wird, den vergrabenen Oxidfilm 2 zu erreichen.

Zusätzliche Modifikationen

Der Vorgang des Bewirkens, daß die Source-/Drainbereiche den vergrabenen Oxidfilm erreichen, kann die herkömmliche Technik des Implantierens von Dotierungen ausreichend tief, um die Source-/Drainbereiche zu bilden, oder des Implantierens von Dotierungen, um eine tiefe Dotierungskonzentrationsspitze nach der Implantierung von Dotierungen, um eine flache Dotierungskonzentrationsspitze zu erreichen, einschließen.

Dieser Vorgang verfehlt jedoch das Vorsehen der Dotierungskonzentrationsspitze an einer flachen Position in dem Source-/Drainbereich und einer Dotierungsverteilung, die tief genug ist, um sich durch die SOI-Schicht 3 zu erstrecken, wie in der ersten Form der vierzehnten bevorzugten Ausführungsform, die in Fig. 85 gezeigt ist.

Daher kann ein Verfahren des Implantierens von Dotierungen mit einem Winkel nahe an 0° und bei einer ausreichend geringen Implantierungsenergie verwendet werden, um eine Dotierungskonzentrationsspitze an einer relativ flachen Position in der SOI-Schicht 3 vorzusehen, wie durch das Bezugszeichen L1 von Fig. 100 gezeigt ist, wohingegen ein hinteres Ende des Profils, das von einem Kanaleffekt (channeling) resultiert, eine Dotierungsverteilung bereitstellt, wie sie durch das Bezugszeichen L2 von Fig. 100 bezeichnet ist, bei der sich die Dotierungen durch die SOI-Schicht 3 erstrecken bzw. bewegen und so den vergrabenen Oxidfilm 2 erreichen.

Patentansprüche

1. Halbleitereinrichtung mit einem SOI-Aufbau, der ein Halbleitersubstrat (1), eine vergrabene Isolierschicht (2) und eine SOI-Schicht (3) aufweist,

wobei die Halbleitereinrichtung aufweist eine Mehrzahl von Einrichtungsbildungsbereichen (5-7), in denen vorbestimmte Einrichtungen entsprechend gebildet werden sollen, wobei die Mehrzahl von Einrichtungsbildungsbereichen (5-7) in der SOI-Schicht (3) vorgesehen sind, zumindest einen Trennbereich (31-33), der in der SOI-Schicht (3) zum isolierenden Trennen der Mehrzahl von Einrichtungsbildungsbereichen (5-7) voneinander vorgesehen ist, und einen Körperbereich (10, 20), der in der SOI-Schicht (3) vorgesehen ist und in der Lage ist, extern ein elektrisches Potential zu fixieren, wobei zumindest ein Teil des zumindest einen Trennbereiches (31-33) einen Teiltrennbereich enthält, der einen Teilisolierbereich (31), der in einem oberen Teil des Teiltrennbereiches gebildet ist, und einen Halbleiterbereich (11, 12), der in einem unteren Teil des Teiltrennbereiches gebildet ist, aufweist, wobei der Halbleiterbereich (11, 12) als ein Teil der SOI-Schicht (3) dient und in Kontakt mit zumindest einem der Mehrzahl von Einrichtungsbildungsbereichen (5-7) und dem Körperbereich (10, 20) gebildet ist.

2. Halbleitereinrichtung nach Anspruch 1, bei der die Mehrzahl von Einrichtungsbildungsbereichen (5-7) eine Mehrzahl von ersten Einrichtungsbildungsbereichen für eine erste Einrichtung und eine Mehrzahl von zweiten Einrichtungsbildungsbereichen für eine zweite Einrichtung aufweisen, wobei der zumindest eine Trennbereich weiter einen vollständigen Trennbereich (32; 33, 29) aufweist, der einen vollständigen Isolierbereich aufweist, der sich durch die SOI-Schicht (3) erstreckt, und wobei der Teiltrennbereich einen ersten und einen zweiten Teiltrennbereich aufweist, und wobei die Mehrzahl von ersten Einrichtungsbildungsbereichen voneinander getrennt sind durch den ersten Teiltrennbereich, die Mehrzahl von zweiten Einrichtungsbildungsbereichen voneinander durch den zweiten Teiltrennbereich getrennt sind und die Mehrzahl von ersten Einrichtungsbildungsbereichen und die Mehrzahl von zweiten Einrichtungsbildungsbereichen voneinander durch den vollständigen Trennbereich getrennt sind.

3. Halbleitereinrichtung nach Anspruch 1, bei der die Mehrzahl von Einrichtungsbildungsbereichen (5-7) eine Mehrzahl von Einrichtungsbildungsbereichen für eine erste Schaltung und eine Mehrzahl von Einrichtungsbildungsbereichen für eine zweite Schaltung aufweisen und bei der die Mehrzahl von Einrichtungsbildungsbereichen für die erste Schaltung voneinander durch einen vollständigen Trennbereich getrennt sind, der sich durch die SOI-Schicht (3) erstreckt, und die Mehrzahl von Einrichtungsbildungsbereichen für die zweite Schaltung voneinander durch den Teiltrennbereich getrennt sind.

4. Halbleitereinrichtung nach einem der Ansprüche 1 bis 3, bei der die Mehrzahl von Einrichtungsbildungsbereichen einen Einrichtungsbildungsbereich für eine vorbestimmte Schaltung und einen Einrichtungsbildungsbereich für eine andere Schaltung als die vorbestimmte Schaltung aufweisen und bei der der Einrichtungsbildungsbereich für die vorbestimmte Schaltung und der Einrichtungsbildungsbereich für die andere Schaltung als die vorbestimmte Schaltung voneinander durch einen vollständigen

Trennbereich getrennt sind, der sich durch die SOI-Schicht (3) erstreckt.

5. Halbleitereinrichtung nach einem der Ansprüche 1 bis 4, bei der der zumindest eine Trennbereich eine Mehrzahl von Trennbereichen aufweist und zumindest einer der Mehrzahl von Trennbereichen eine vorbestimmte Breite aufweist und sich im wesentlichen senkrecht zu einer Oberfläche des Halbleitersubstrates erstreckt.

6. Halbleitereinrichtung mit einem SOI-Aufbau, der ein Halbleitersubstrat (1), eine vergrabene Isolierschicht (2) und eine SOI-Schicht (3) aufweist, wobei die Halbleitereinrichtung eine Mehrzahl von Einrichtungsbildungsbereichen (5-7), in denen vorbestimmte Einrichtungen entsprechend gebildet werden sollen, wobei die Mehrzahl von Einrichtungsbildungsbereichen (5-7) in der SOI-Schicht (3) vorgesehen sind,

zumindest einen Trennbereich (4), der in der SOI-Schicht (3) vorgesehen ist zum isolierenden Trennen der Mehrzahl von Einrichtungsbildungsbereichen (5-7) voneinander, und

einen Körperbereich (80, 86-88), der in der Lage ist, ein elektrisches Potential extern zu fixieren, aufweist, wobei der Körperbereich (80, 86-88) in Kontakt mit einer von der oberen oder unteren Oberfläche von zumindest einem der Mehrzahl von Einrichtungsbildungsbereichen (5-7) gebildet ist.

7. Halbleitereinrichtung nach Anspruch 1, bei der zumindest ein Teil des zumindest einen Trennbereiches weiter einen kombinierten Trennbereich (33, 29) aufweist, der den Teiltrennbereich und einen vollständigen Isolierbereich, der sich durch die SOI-Schicht (3) erstreckt, aufweist,

wobei der Teiltrennbereich und der vollständige Isolierbereich miteinander kontinuierlich ausgebildet sind.

8. Halbleitereinrichtung nach Anspruch 7, bei der der Teiltrennbereich eine flache und gleichmäßige obere Oberfläche aufweist.

9. Halbleitereinrichtung nach Anspruch 7, bei der der Halbleiterbereich des kombinierten Trennbereiches eine Dicke (TB) aufweist, die nicht größer ist als die halbe Dicke (TA + TB) der SOI-Schicht (3).

10. Halbleitereinrichtung nach Anspruch 7, bei der der vollständige Isolierbereich des kombinierten Trennbereiches eine Breite (WC) aufweist, die nicht größer ist als die halbe Breite (BD) des kombinierten Trennbereiches.

11. Halbleitereinrichtung nach Anspruch 1, bei der der zumindest eine Trennbereich weiter einen vollständigen Trennbereich (114, 115, 110) mit einem vollständigen Isolierbereich, der sich durch die SOI-Schicht (3) erstreckt, aufweist,

bei der die Mehrzahl von Einrichtungsbildungsbereichen einen Eingabe/Ausgabe-NMOS-Transistorbildungsbereich (106) und einen Eingabe/Ausgabe-PMOS-Transistorbildungsbereich (116), die zueinander benachbart angeordnet sind, aufweisen, und bei der der vollständige Trennbereich zumindest in der Nähe einer Grenze zwischen dem Eingabe/Ausgabe-NMOS-Transistorbildungsbereich (106) und dem Eingabe/Ausgabe-PMOS-Transistorbildungsbereich (116) gebildet ist.

12. Halbleitereinrichtung nach Anspruch 11, bei der die Mehrzahl von Einrichtungsbildungsbereichen weiter einen internen Schaltungsbildungsbereich (190, 180) aufweisen, der benachbart zu einem von

dem Eingabe/Ausgabe-NMOS-Transistorbildungsbereich (106) und dem Eingabe/Ausgabe-PMOS-Transistorbildungsbereich (116) angeordnet ist, und bei der der vollständige Trennbereich (110) weiter in der Nähe einer Grenze zwischen dem internen Schaltungsbildungsbereich (190, 180) und einem von dem Eingabe/Ausgabe-NMOS-Transistorbildungsbereich (106) und dem Eingabe/Ausgabe-PMOS-Transistorbildungsbereich (116), der benachbart zu dem internen Schaltungsbildungsbereich (190, 180) angeordnet ist, gebildet ist.

13. Halbleitereinrichtung nach Anspruch 1, bei der der zumindest eine Trennbereich weiter einen vollständigen Trennbereich (120) aufweist, der einen vollständigen Isolierbereich aufweist, der sich durch die SOI-Schicht (3) erstreckt, wobei die Mehrzahl von Einrichtungsbildungsbereichen einen NMOS-Transistorbildungsbereich (126) und einen PMOS-Transistorbildungsbereich (136), die zueinander benachbart sind, aufweisen, wobei der vollständige Trennbereich (120) in einem vollständigen Trennbereichsbildungsort gebildet ist, der innerhalb des PMOS-Transistorbildungsbereiches (136) in der Nähe einer Grenze zwischen dem NMOS-Transistorbildungsbereich (126) und dem PMOS-Transistorbildungsbereich (136) angeordnet ist, und wobei der Teiltrennbereich (127, 137) den NMOS-Transistorbildungsbereich (126) und den PMOS-Transistorbildungsbereich (136) umgibt mit Ausnahme in dem vollständigen Trennbereichsbildungsort.

14. Halbleitereinrichtung nach Anspruch 1, bei der die Mehrzahl von Einrichtungsbildungsbereichen einen Transistorbildungsbereich eines ersten Leitungstyps aufweisen, wobei der Teiltrennbereich einen peripheren Teiltrennbereich aufweist, der den Transistorbildungsbereich umgibt, und bei der der Körperbereich einen peripheren Körperbereich eines zweiten Leitungstyps aufweist, der den peripheren Teiltrennbereich umgibt.

15. Halbleitereinrichtung nach Anspruch 1, bei der die Mehrzahl von Einrichtungsbildungsbereichen einen MOS-Transistorbildungsbereich aufweisen, und bei der der Körperbereich einen Sourceebenenkörperbereich (156) aufweist, der benachbart zu einem Sourcebereich (154) des MOS-Transistorbildungsbereiches angeordnet ist,

wobei die Halbleitereinrichtung ferner aufweist einen Einstellbereich (158, 160) eines elektrischen Potentials, der gemeinsam verbunden ist mit dem Sourcebereich (154) und dem Sourceebenenkörperbereich (156).

16. Halbleitereinrichtung nach Anspruch 1, bei der der Halbleiterbereich des Teiltrennbereiches einen ersten und einen zweiten Teilhalbleiterbereich aufweist, und

bei der die Dotierungskonzentration des ersten Teilhalbleiterbereiches (174, 175; 206, 207) größer ist als die des zweiten Teilhalbleiterbereiches (176; 204, 205).

17. Halbleitereinrichtung nach Anspruch 1, bei der die Mehrzahl von Einrichtungsbildungsbereichen einen MOS-Transistorbildungsbereich eines ersten Leitungstyps aufweisen und der Halbleiterbereich des Teiltrennbereiches einen Bereich eines zweiten Leitungstyps aufweist und

bei der eine Spitze der Dotierungskonzentration des Halbleiterbereiches (182) des Teiltrennbereiches tiefer von einer Oberfläche der SOI-Schicht (3) liegt als eine Spitze der Dotierungskonzentration eines Drain-/Sourcebereiches (183, 184), der in Kontakt mit dem Halbleiterbereich in dem MOS-Transistorbildungsbereich gebildet ist.

cebereiches (183, 184), der in Kontakt mit dem Halbleiterbereich in dem MOS-Transistorbildungsbereich gebildet ist.

18. Halbleitereinrichtung nach Anspruch 1, bei der die Mehrzahl von Einrichtungsbildungsbereichen einen MOS-Transistorbildungsbereich aufweisen und bei der eine Spitze der Dotierungskonzentration eines Kanalbildungsbereiches (187) des MOS-Transistorbildungsbereiches tiefer von einer Oberfläche der SOI-Schicht (3) liegt als eine Spitze der Dotierungskonzentration des Halbleiterbereiches (182) des Teiltrennbereiches.

19. Halbleitereinrichtung nach Anspruch 1, bei der der Teiltrennbereich einen Oberflächeneckteil und einen Bodeneckteil aufweist, wobei der Bodeneckteil einen größeren Krümmungsradius aufweist als der Oberflächeneckteil.

20. Halbleitereinrichtung nach Anspruch 7, bei der der Teilisolierbereich des kombinierten Trennbereiches einen Bodeneckteil und einen gestuften Teil, der zwischen dem vollständigen Isolierbereich und dem Teilisolierbereich definiert ist, aufweist, wobei der gestufte Teil einen Krümmungsradius aufweist, der kleiner ist als der des Bodeneckteiles.

21. Halbleitereinrichtung nach Anspruch 1, bei der der zumindest eine Trennbereich weiter einen vollständigen Trennbereich (210) mit einem vollständigen Isolierbereich, der sich durch die SOI-Schicht (3) erstreckt, aufweist,

wobei die Halbleitereinrichtung weiter aufweist ein Induktionselement (199), das in einem Induktionsbildungsbereich, der in einem oberen Teil der SOI-Schicht (3) liegt, gebildet ist, wobei der vollständige Trennbereich unterhalb des Induktionsbildungsbereiches gebildet ist.

22. Halbleitereinrichtung nach Anspruch 1, bei der die Mehrzahl von Einrichtungsbildungsbereichen einen MOS-Transistorbildungsbereich (225, 226) aufweisen und

der Körperbereich (234) einen mit einem Gate verbundenen Körperbereich aufweist, der elektrisch mit einer Gateelektrode (235) eines MOS-Transistors verbunden ist, der in dem MOS-Transistorbildungsbereich gebildet ist, und

wobei der Teiltrennbereich (230) den MOS-Transistorbildungsbereich umgibt.

23. Halbleitereinrichtung mit einem SOI-Aufbau, der ein Halbleitersubstrat (1), eine vergrabene Isolierschicht (2) und eine SOI-Schicht (3) aufweist,

wobei die Halbleitereinrichtung aufweist einen Einrichtungsbildungsbereich (128), in dem eine vorbestimmte Einrichtung gebildet werden soll, wobei der Einrichtungsbildungsbereich in der SOI-Schicht (3) vorgesehen ist, und

einen peripheren Trennbereich, der in der SOI-Schicht (3) vorgesehen ist und der den Einrichtungsbildungsbereich (128) umgibt,

wobei der periphere Trennbereich einen Teiltrennbereich (149) enthält, der einen Teilisolierbereich, der in einem oberen Teil des Teiltrennbereiches (149) gebildet ist, und einen Halbleiterbereich, der in einem unteren Teil des Teiltrennbereiches (149) gebildet ist und als ein Teil der SOI-Schicht (3) dient, aufweist, wobei der Halbleiterbereich in Kontakt mit dem Einrichtungsbildungsbereich gebildet ist und schwebend

ist.

Hierzu 59 Seite(n) Zeichnungen

5

10

15

20

25

30

35

40

45

50

55

60

65

- Leerseite -

FIG. 1

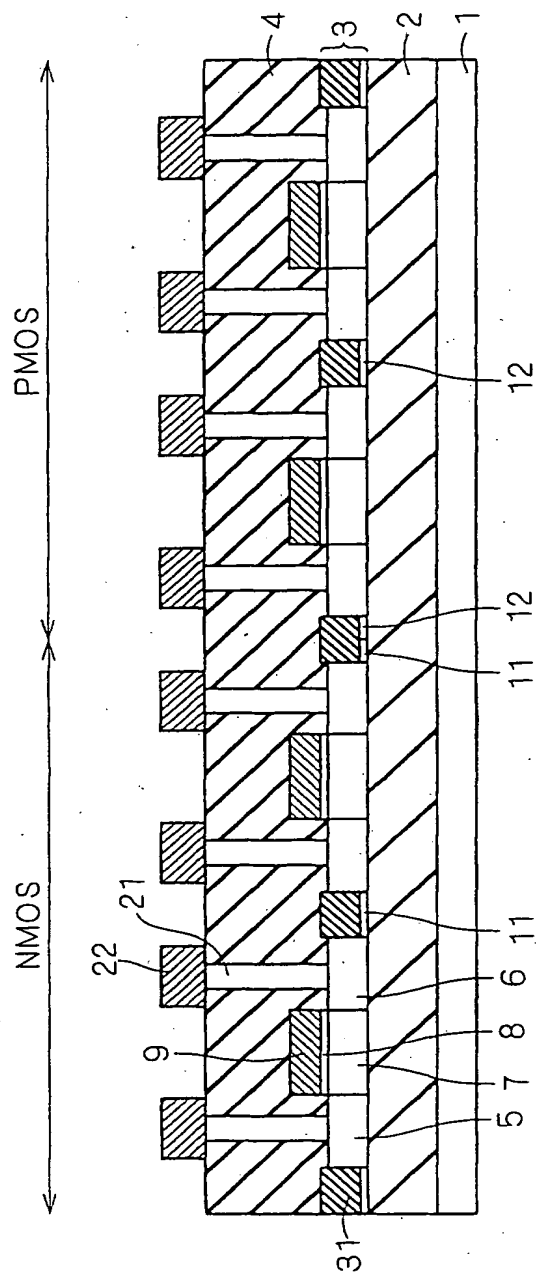


FIG. 2

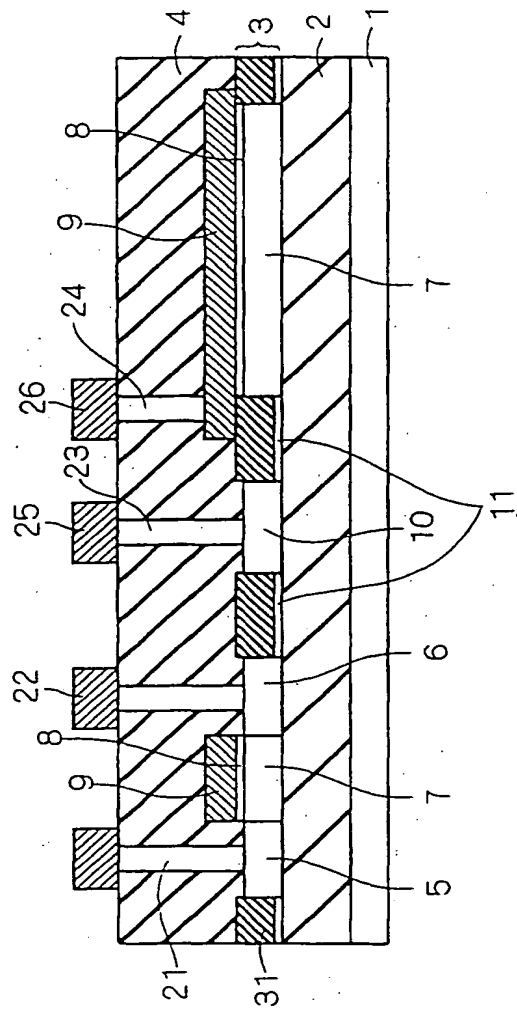


FIG. 3

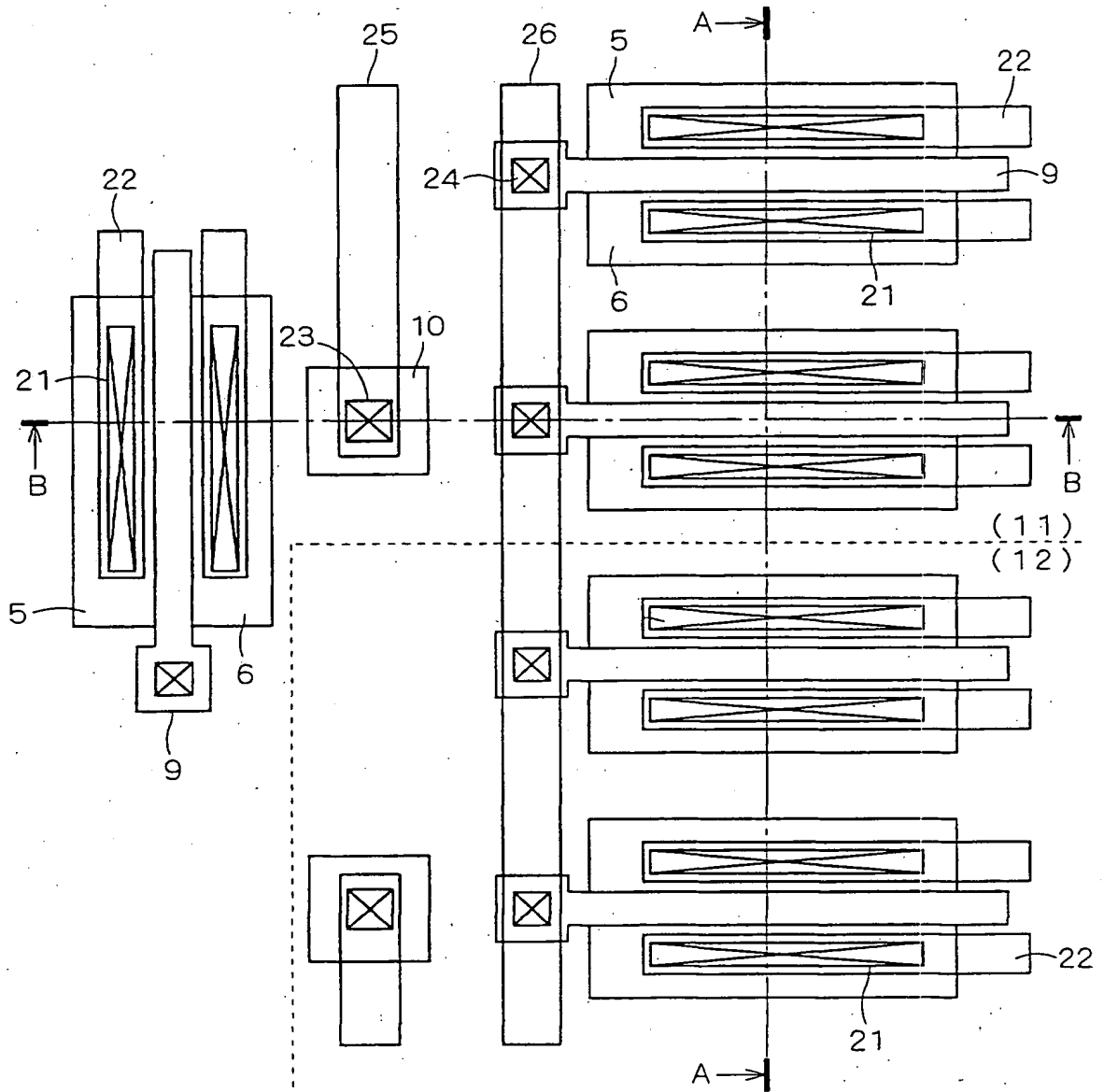


FIG. 4

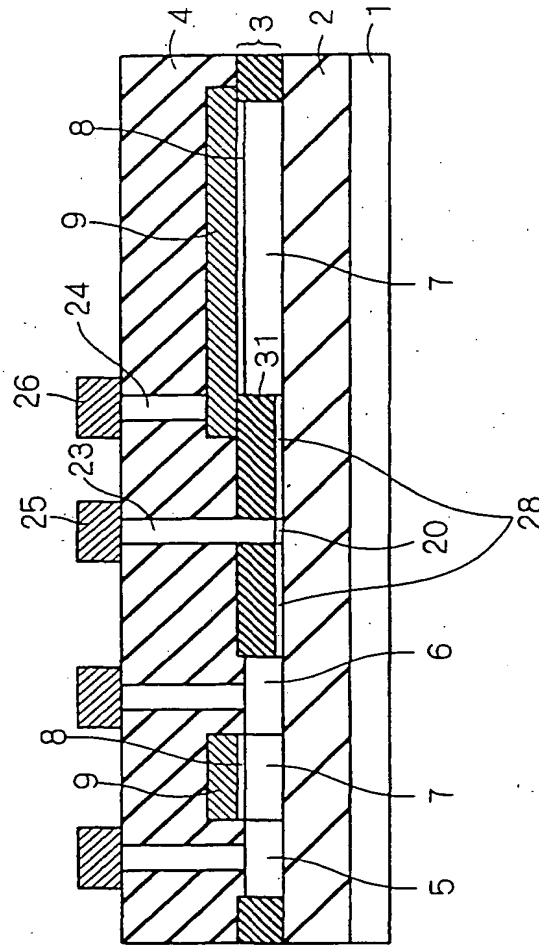


FIG. 5

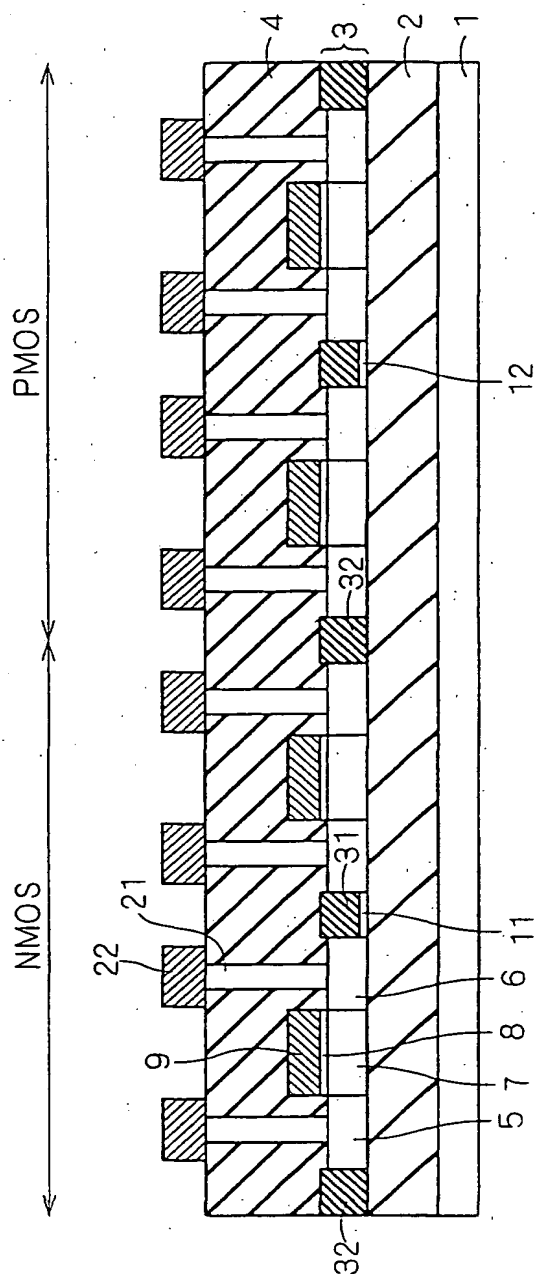


FIG. 6

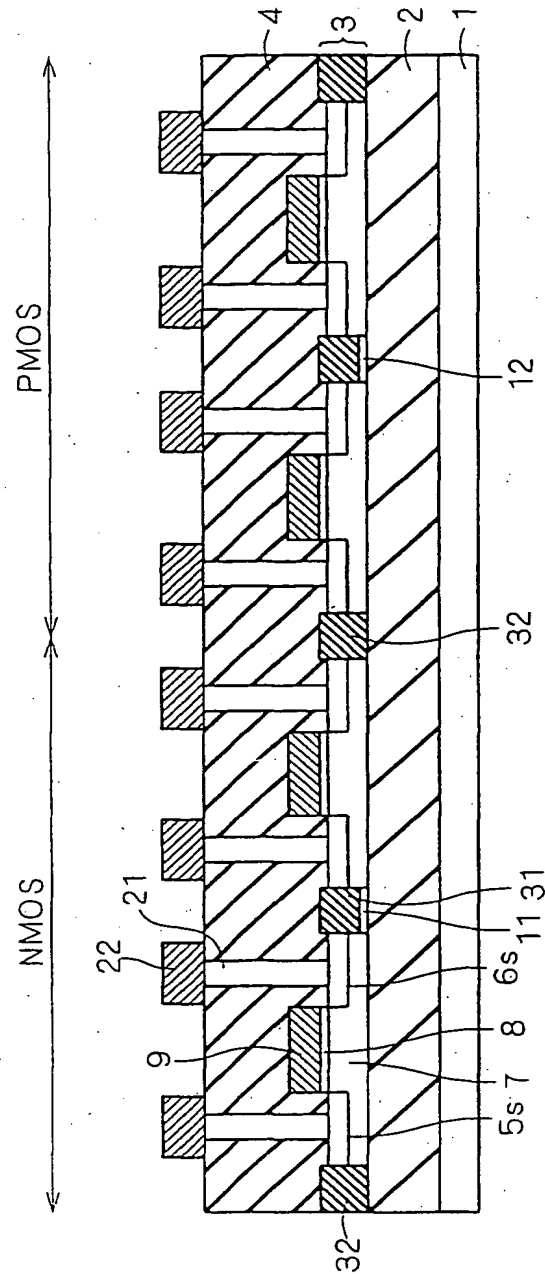


FIG. 7

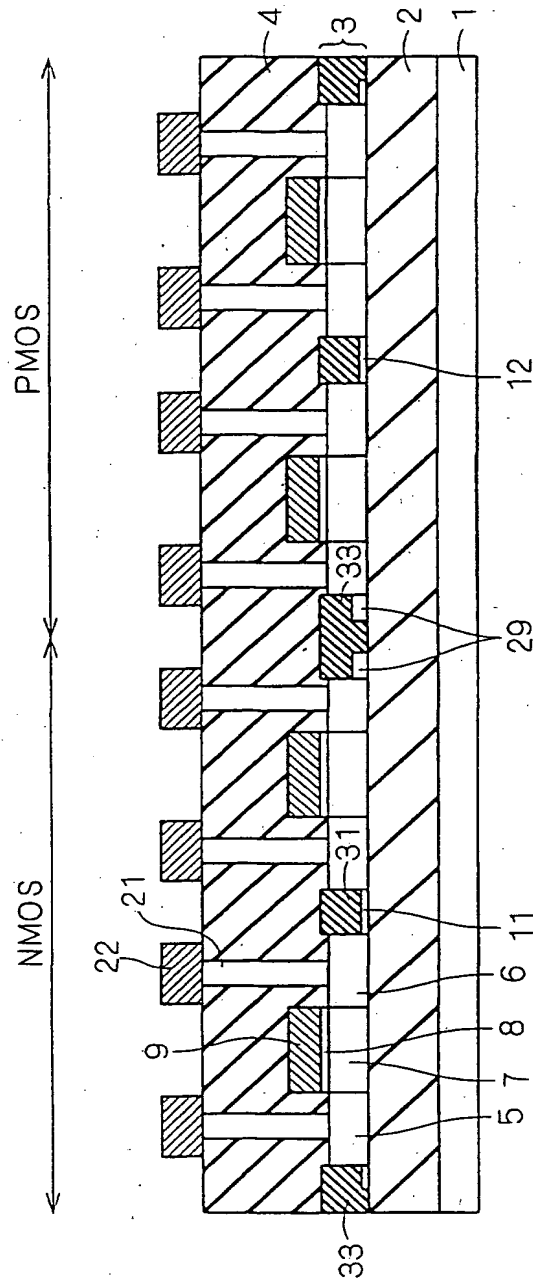


FIG. 8

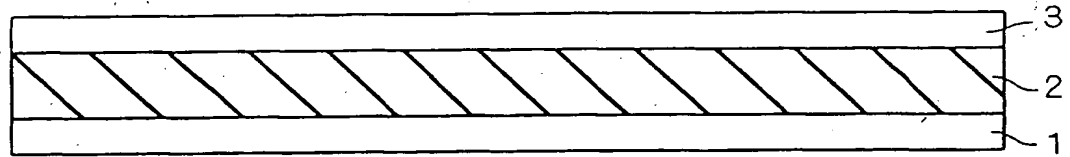


FIG. 9

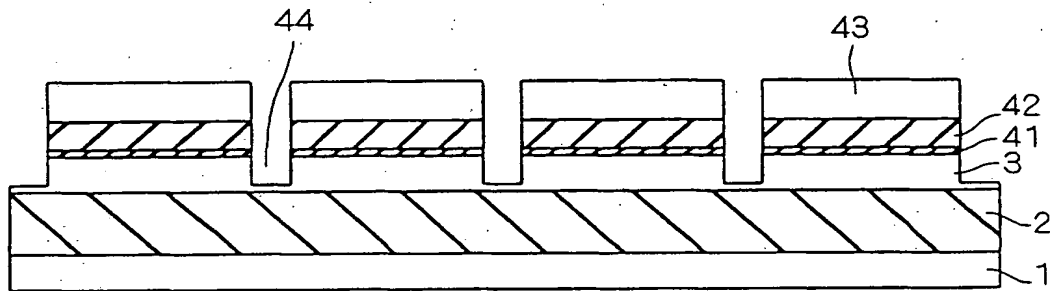


FIG. 10

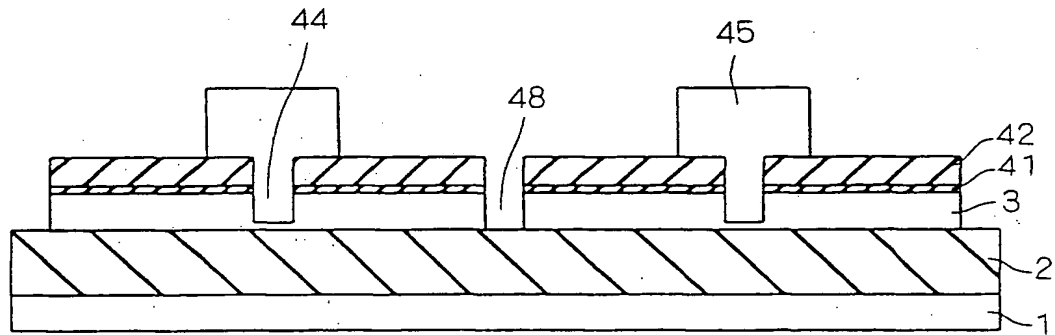


FIG. 11

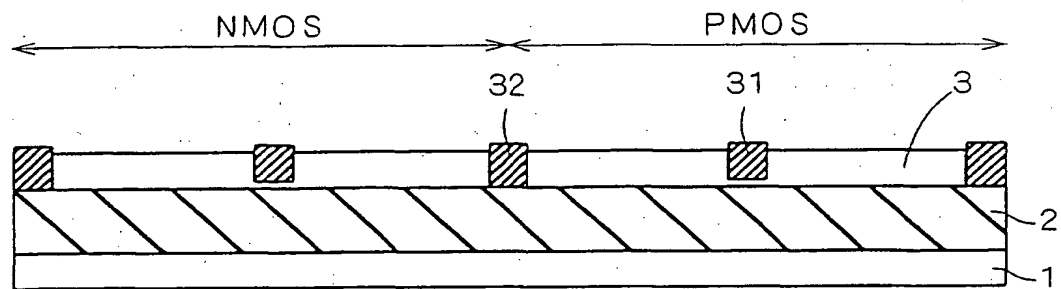


FIG. 12

Ionenimplantation

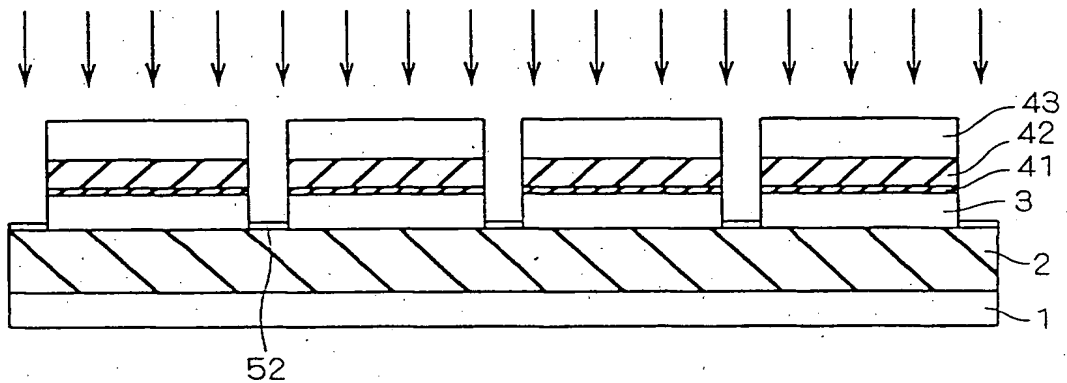


FIG. 13

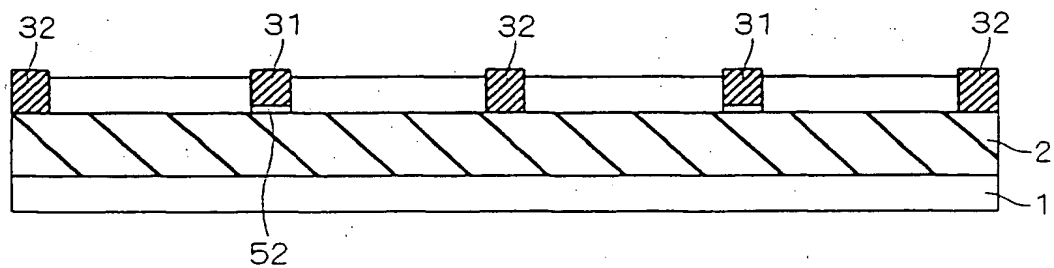


FIG. 14

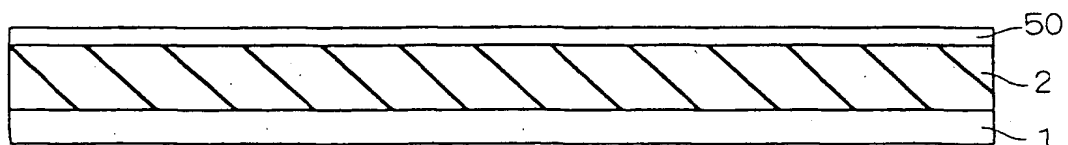


FIG. 15

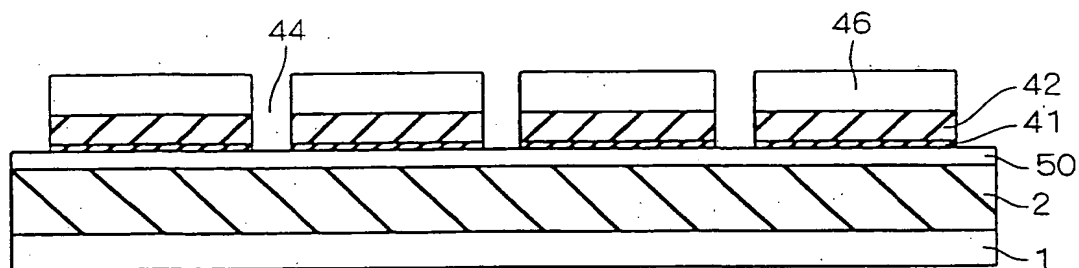


FIG. 16

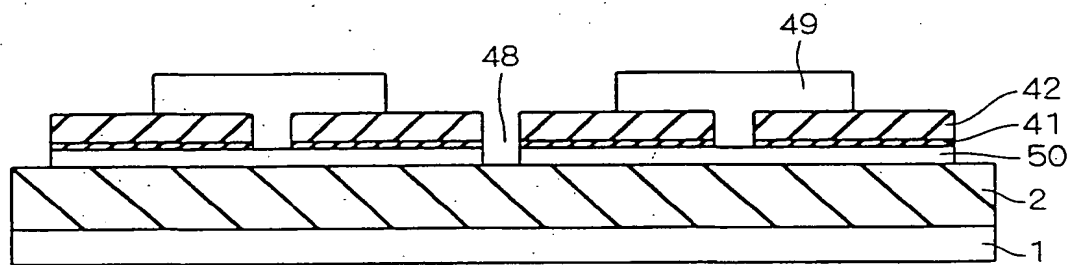


FIG. 17

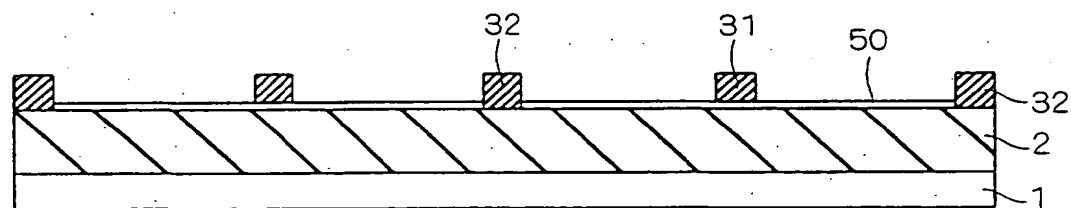


FIG. 18

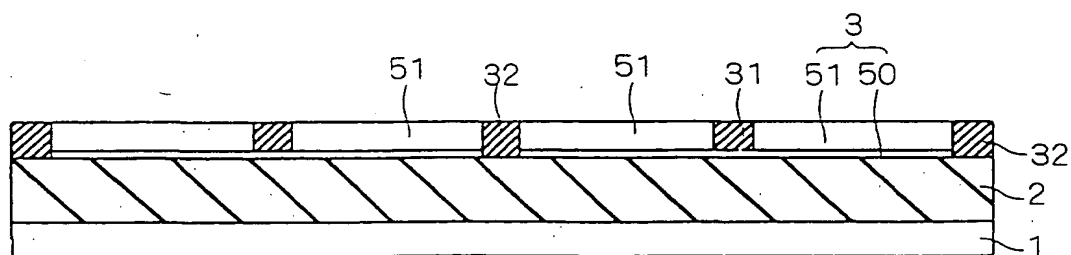


FIG. 19

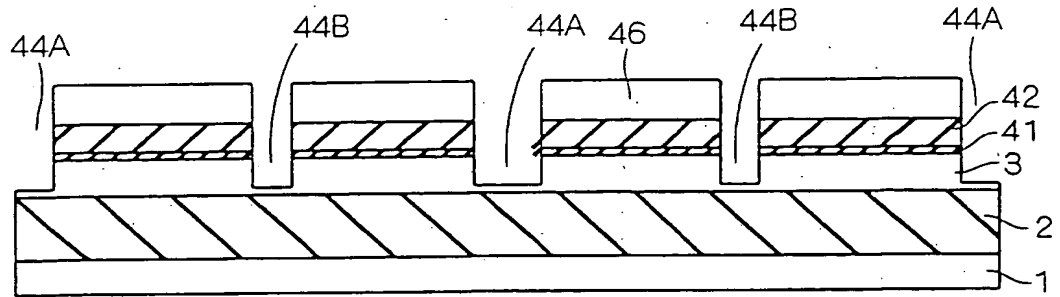


FIG. 20

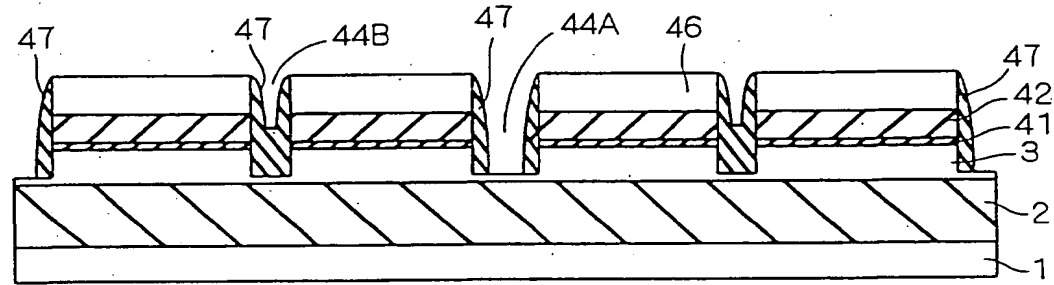


FIG. 21

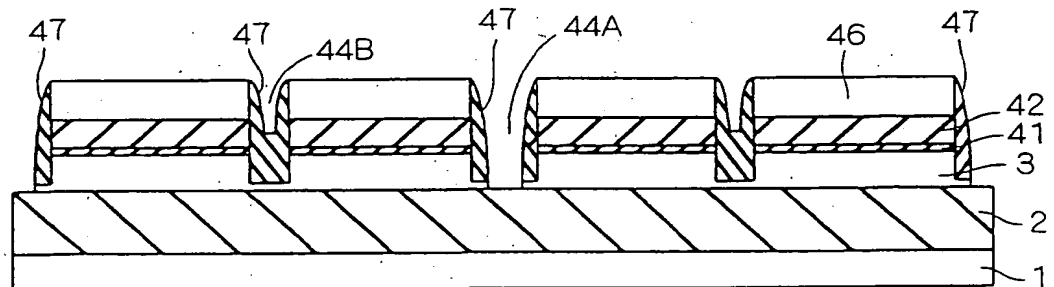


FIG. 22

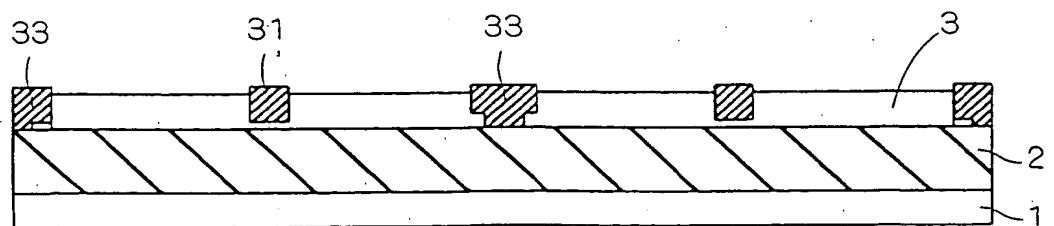


FIG. 23

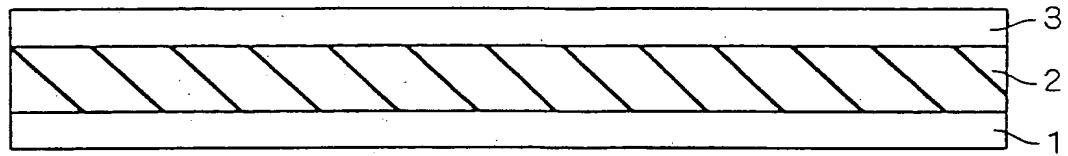


FIG. 24

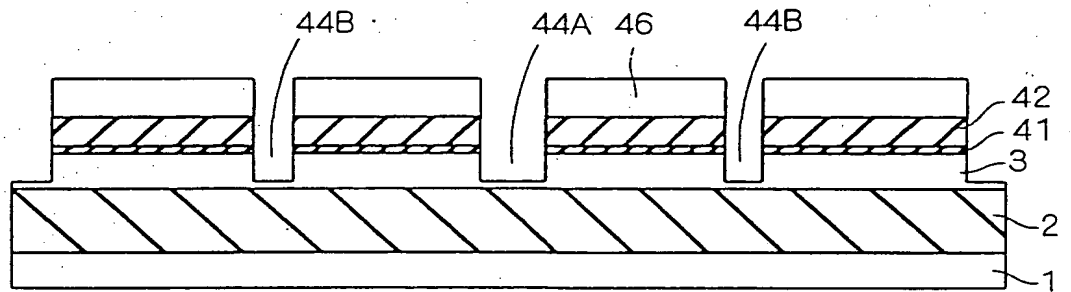


FIG. 25

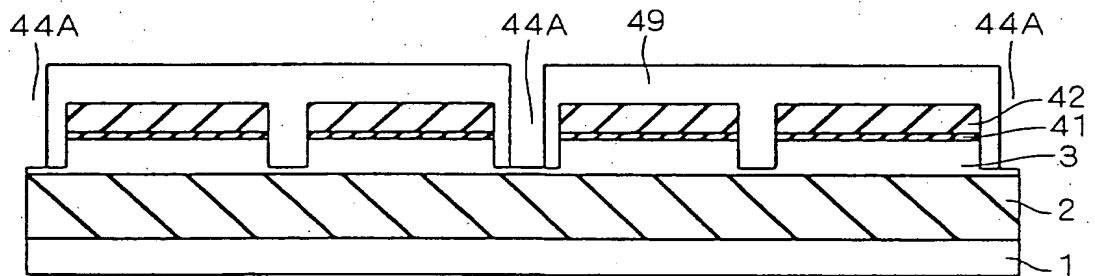


FIG. 26

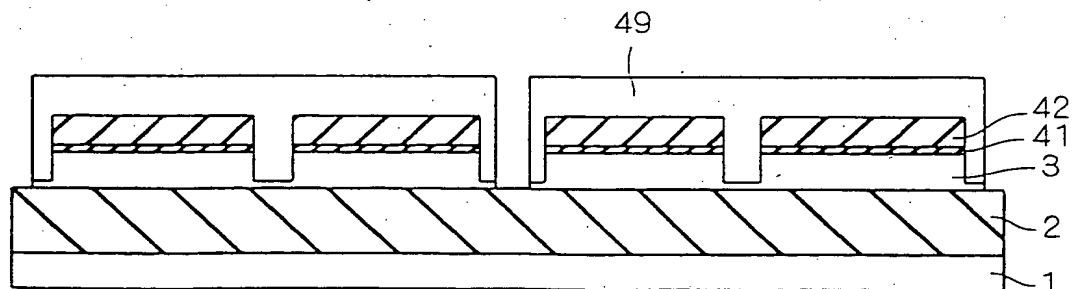


FIG. 27

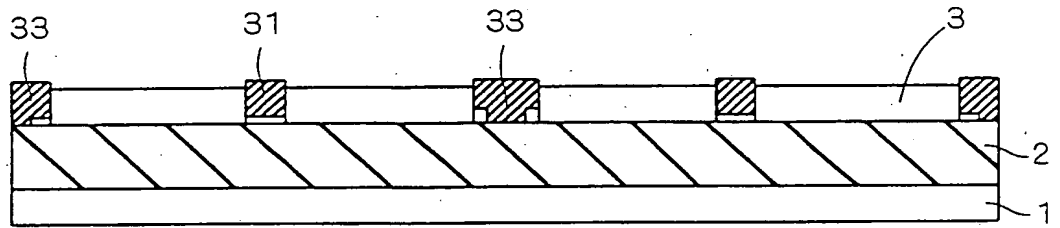


FIG. 28

erste Schaltung
(interne Schaltung) zweite Schaltung
(I/O-Puffer) (analoge Schaltung)

(digitale Schaltung) (analoge Schaltung)

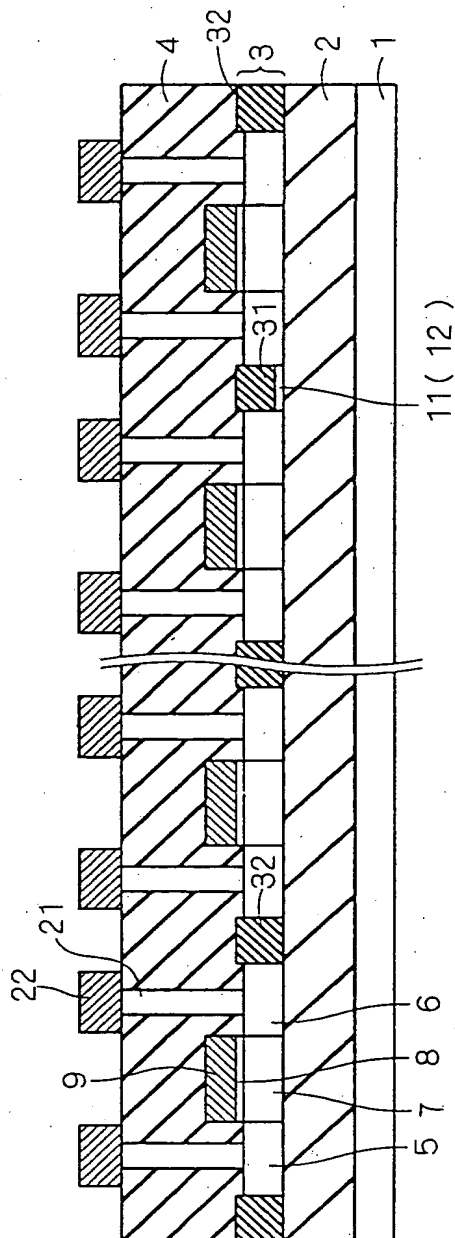


FIG. 29

erste Schaltung
(interne Schaltung)

zweite Schaltung
(I/O-Puffer)

(digitale Schaltung) (analoge Schaltung)

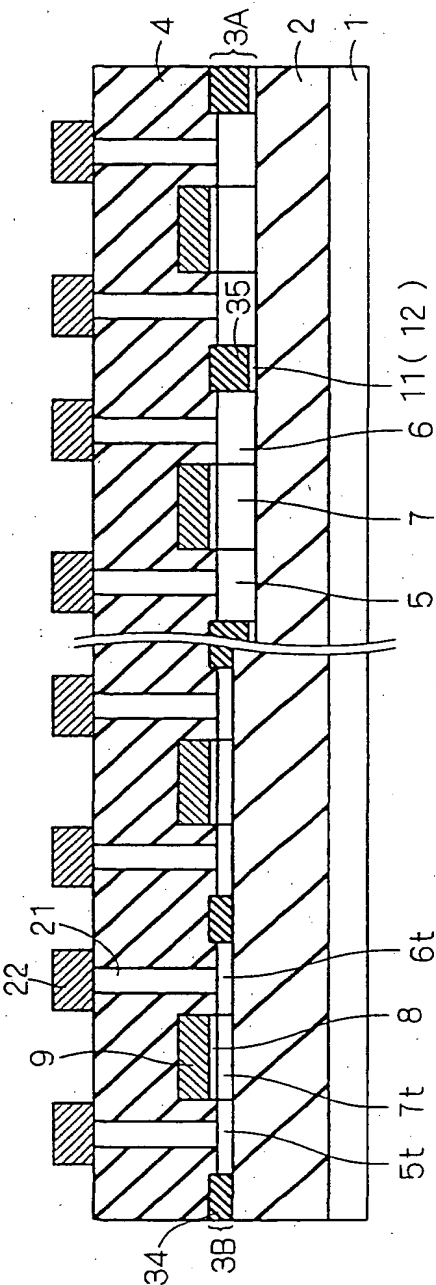


FIG. 30

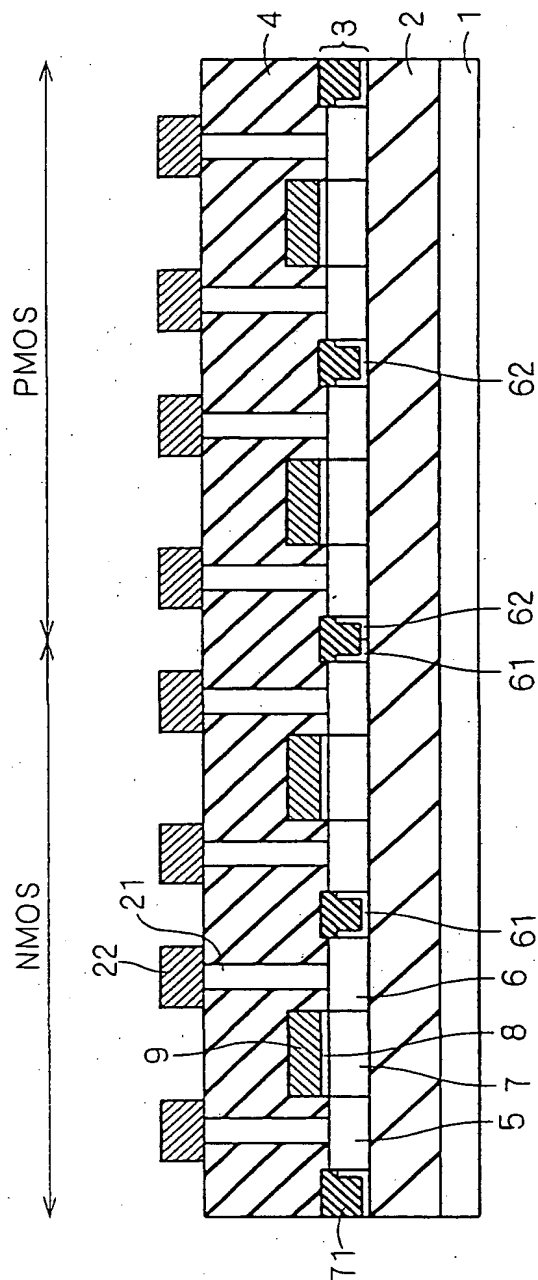


FIG. 31

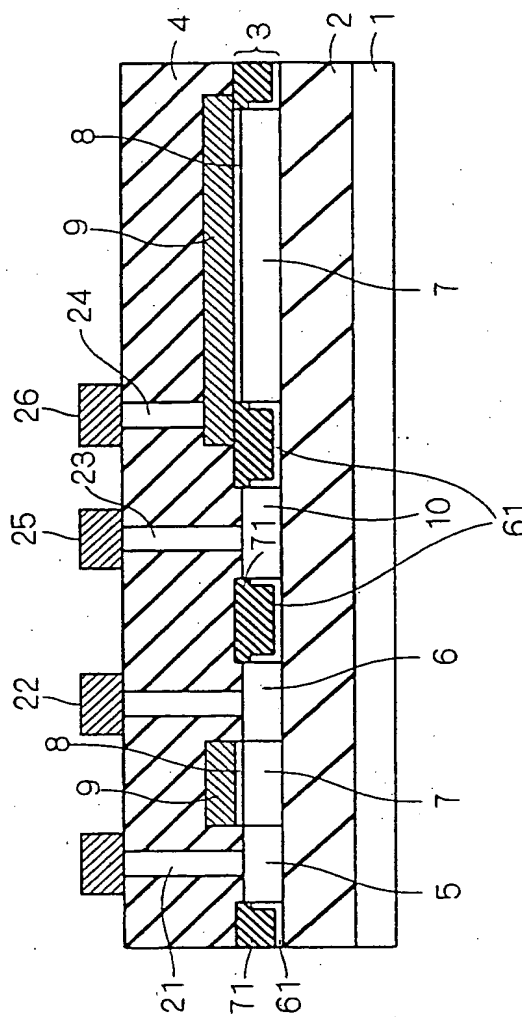


FIG. 32

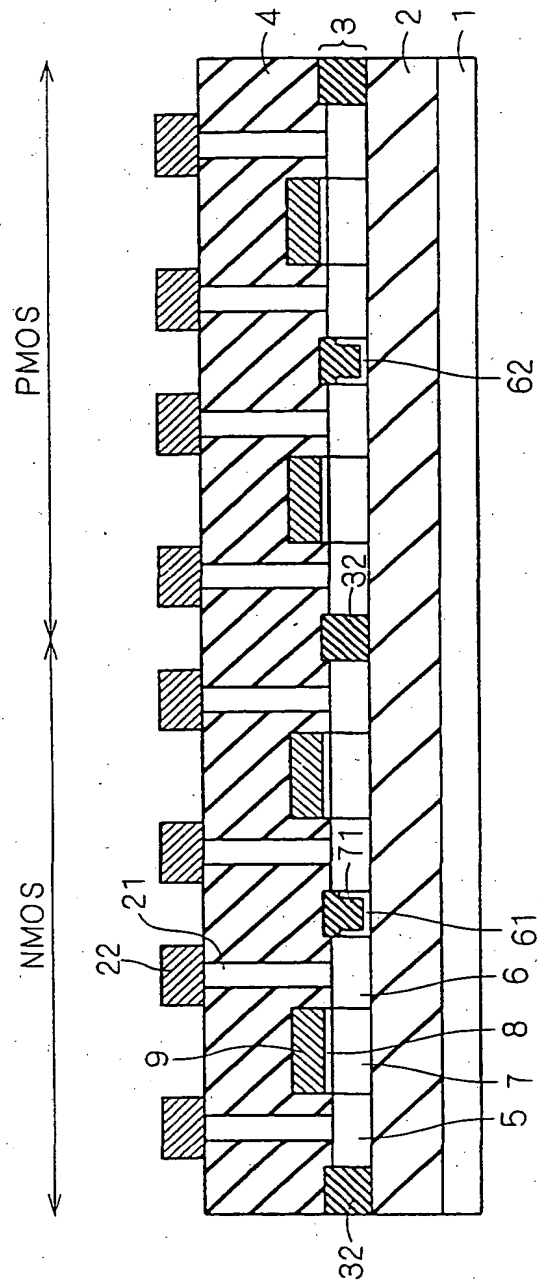


FIG. 33

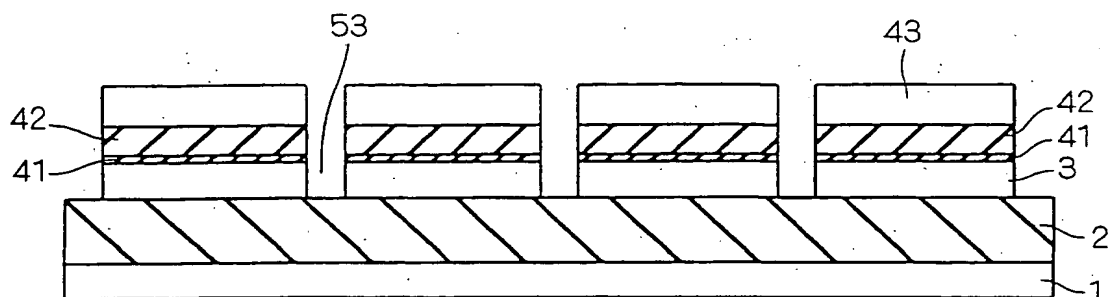


FIG. 34

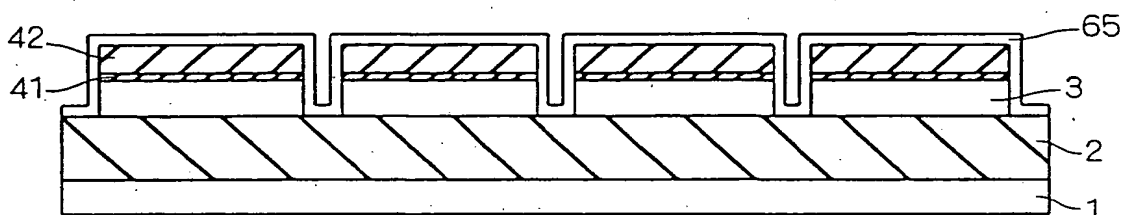


FIG. 35

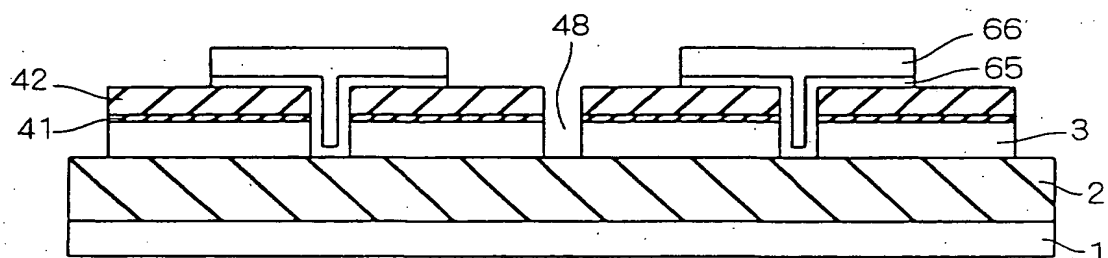


FIG. 36

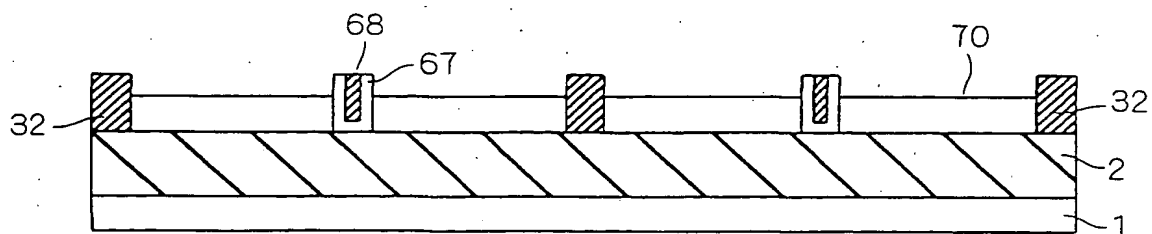


FIG. 37

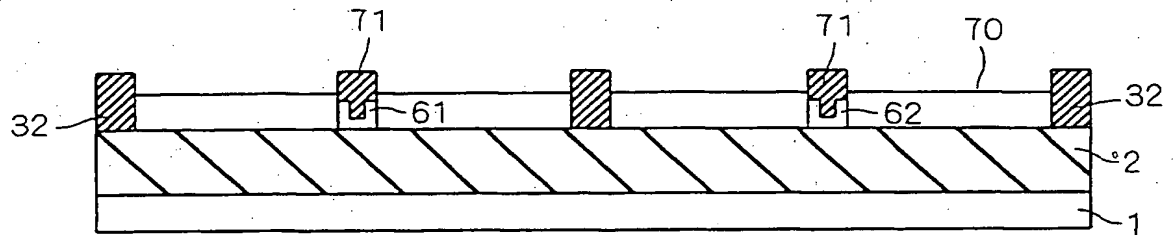


FIG. 38

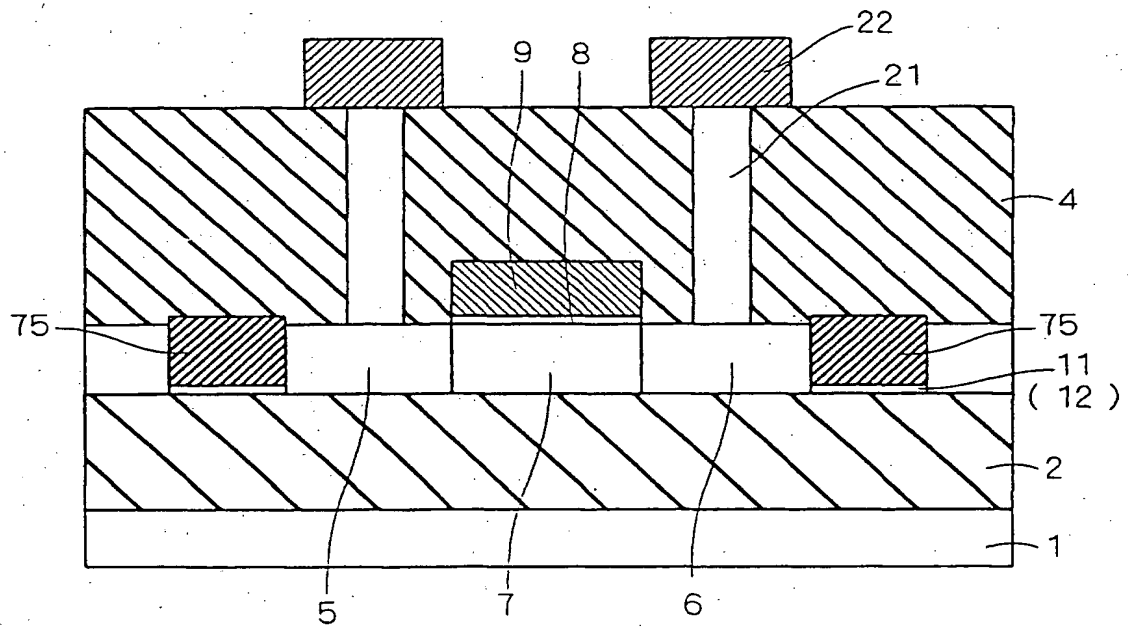


FIG. 39

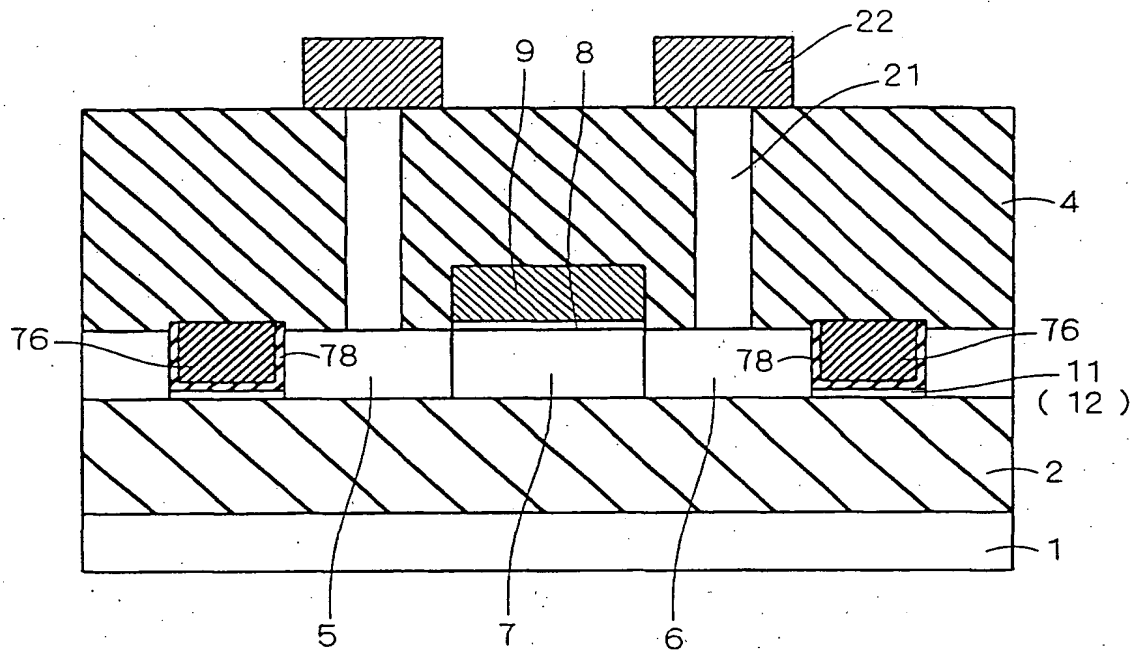


FIG. 40

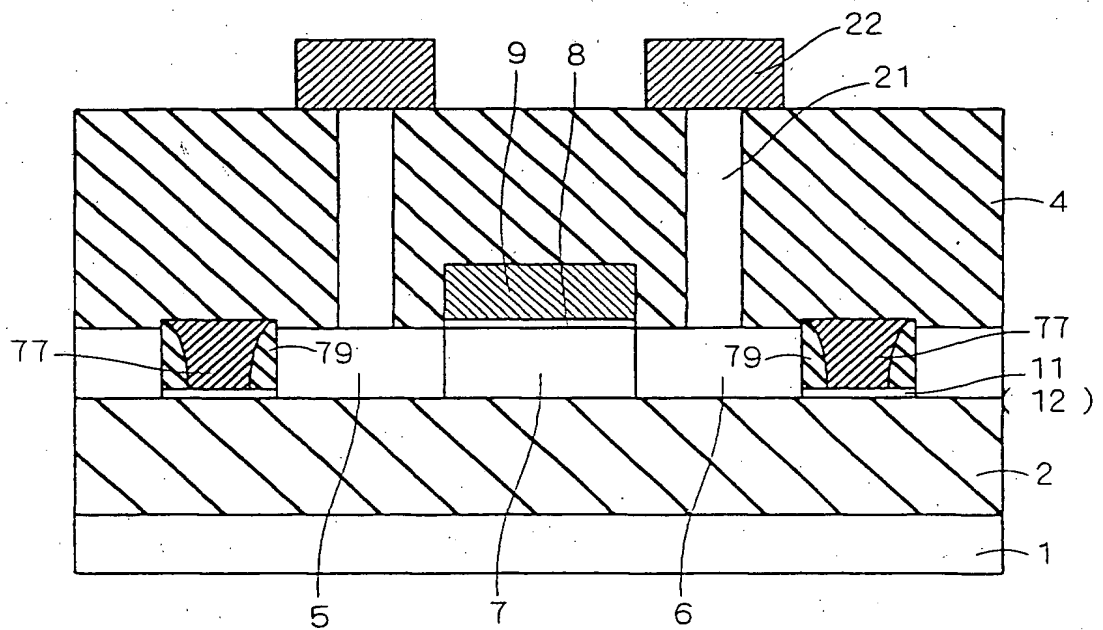


FIG. 41

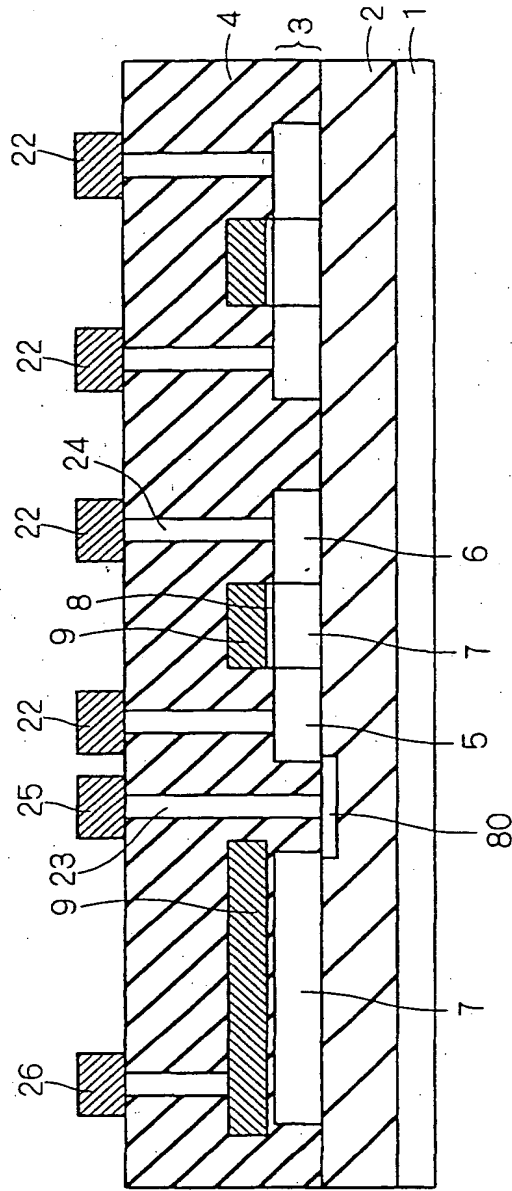


FIG. 42

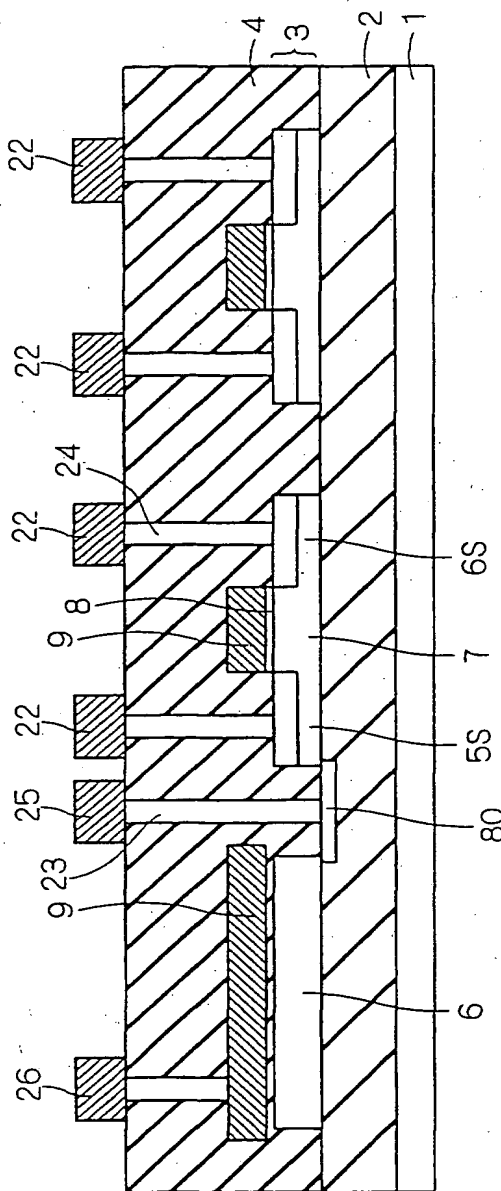


FIG. 43

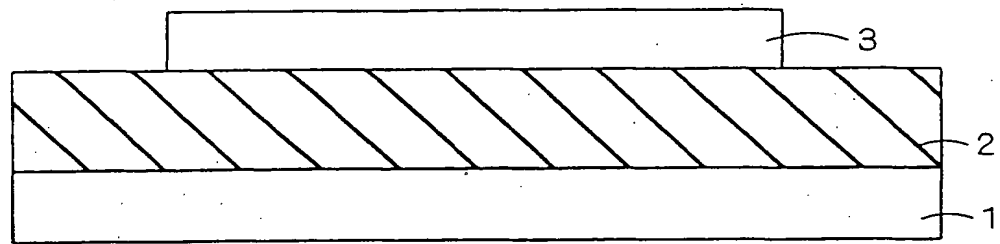


FIG. 44

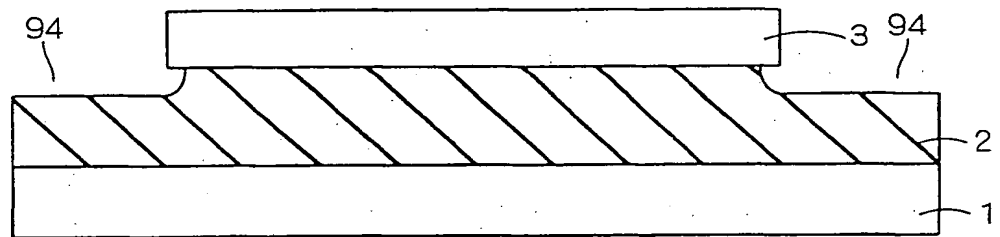


FIG. 45

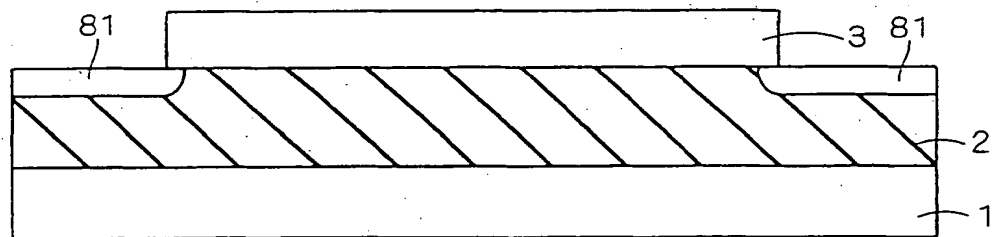


FIG. 46

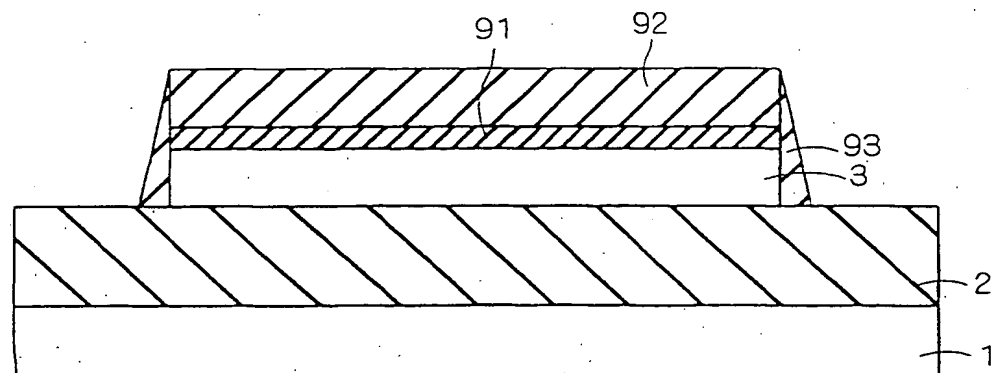


FIG. 47

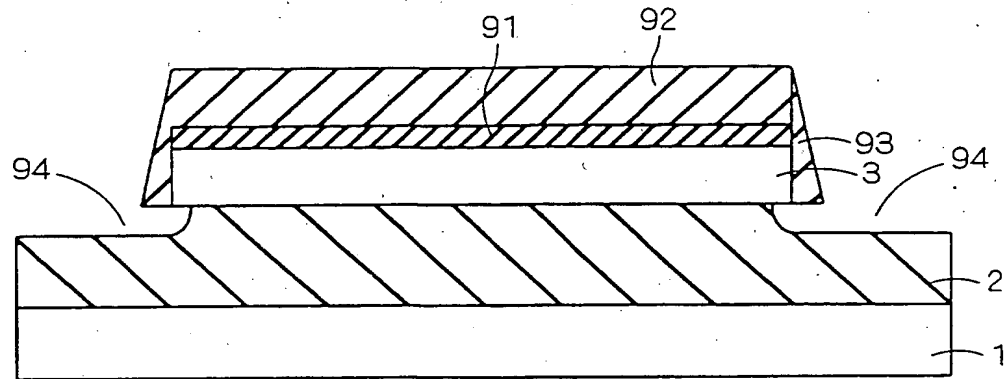


FIG. 48

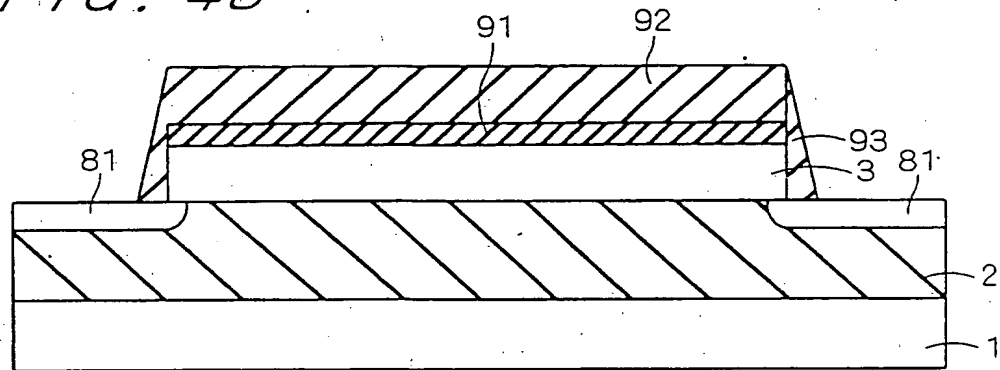


FIG. 49

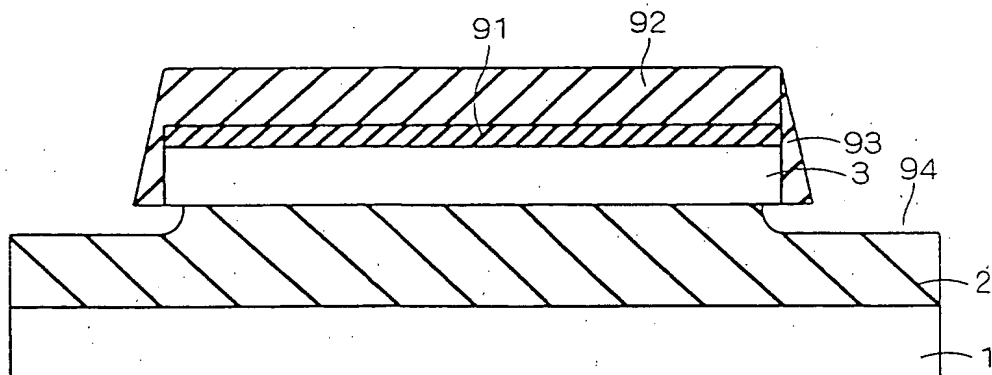


FIG. 50

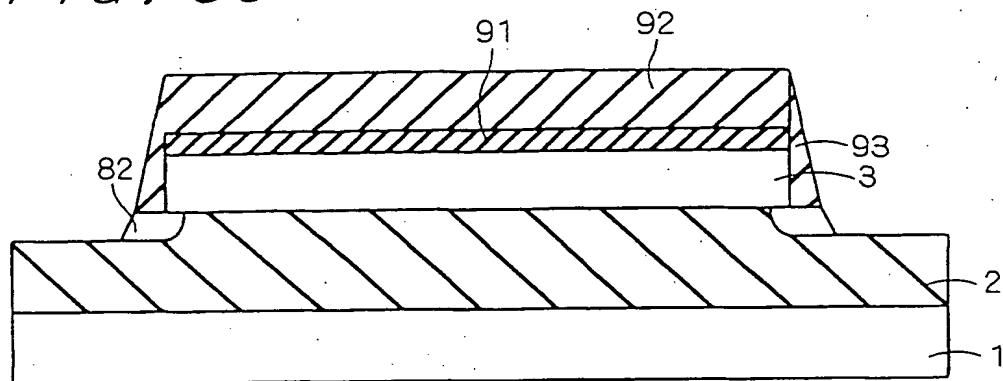


FIG. 51

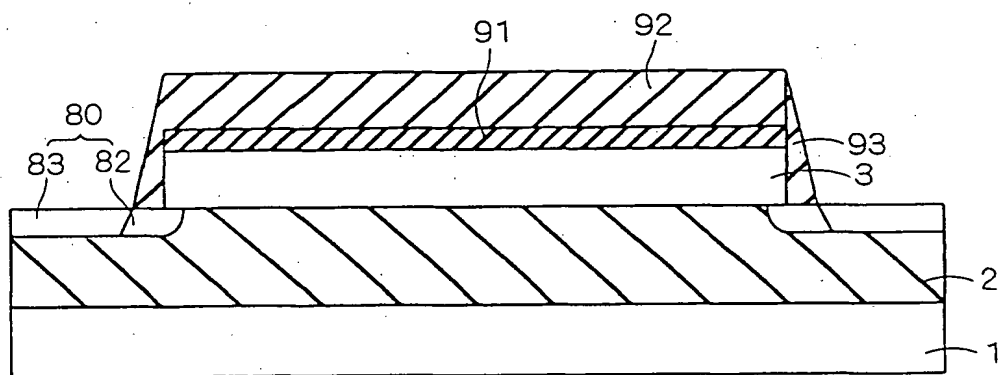


FIG. 52

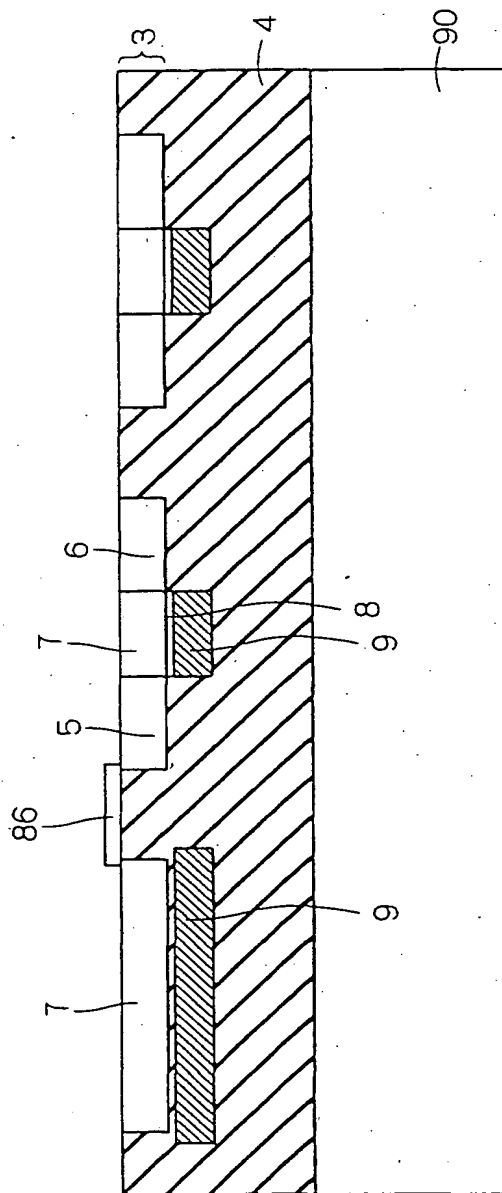


FIG. 53

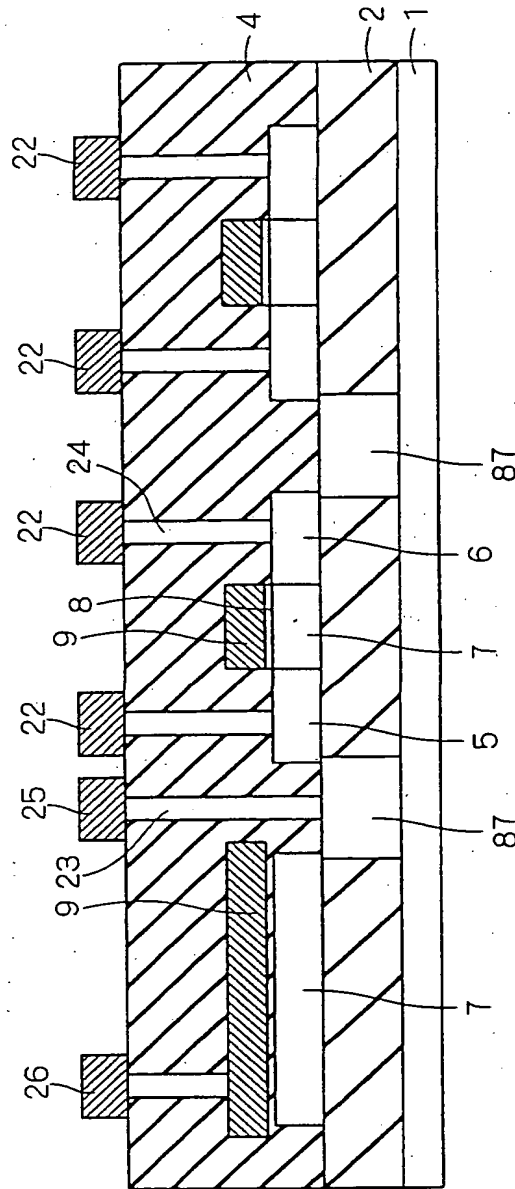


FIG. 54

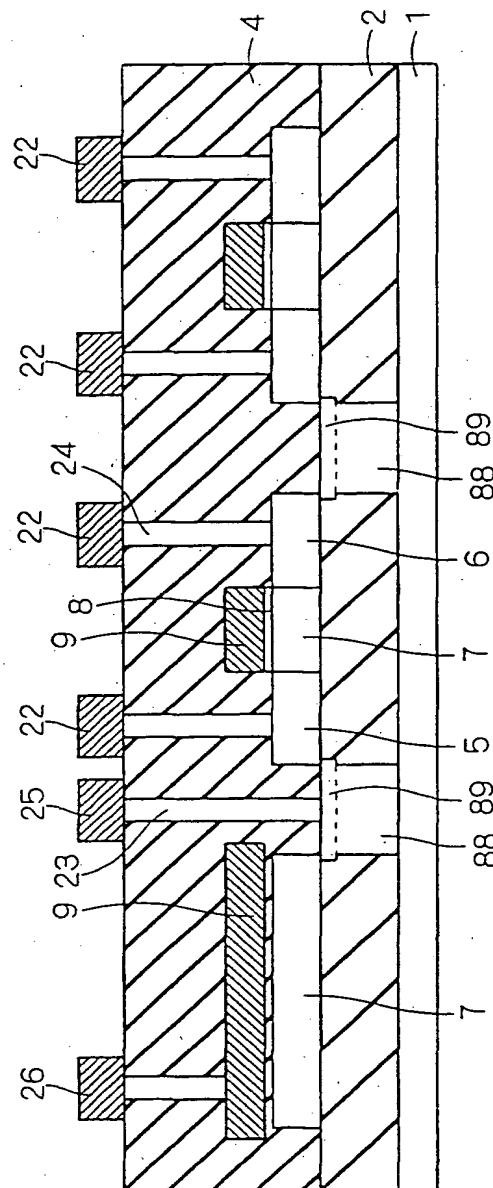


FIG. 55

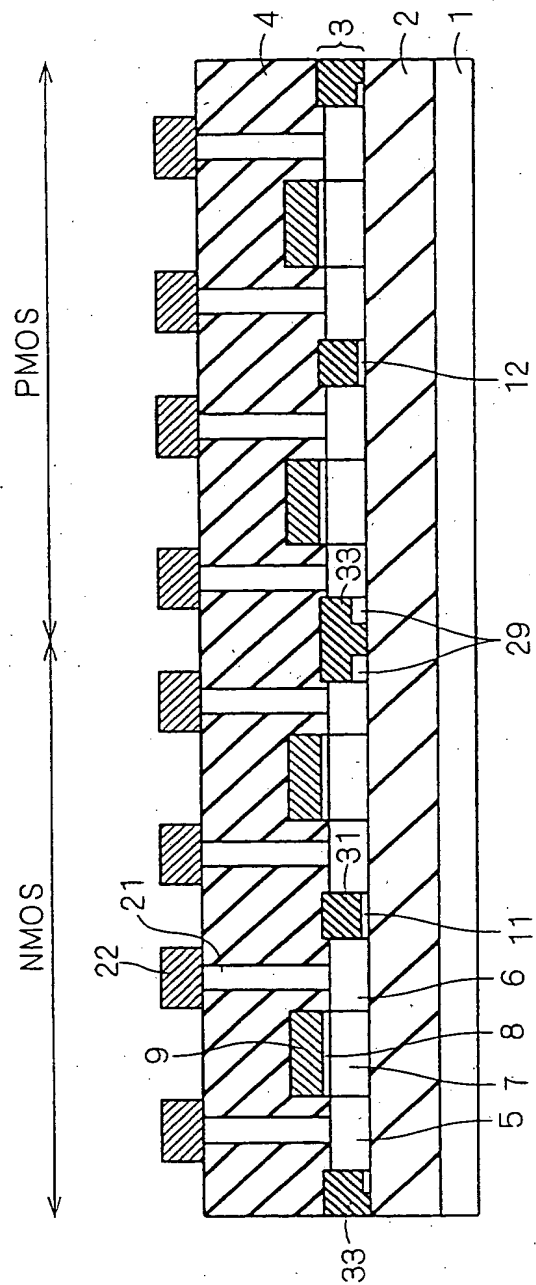


FIG. 56

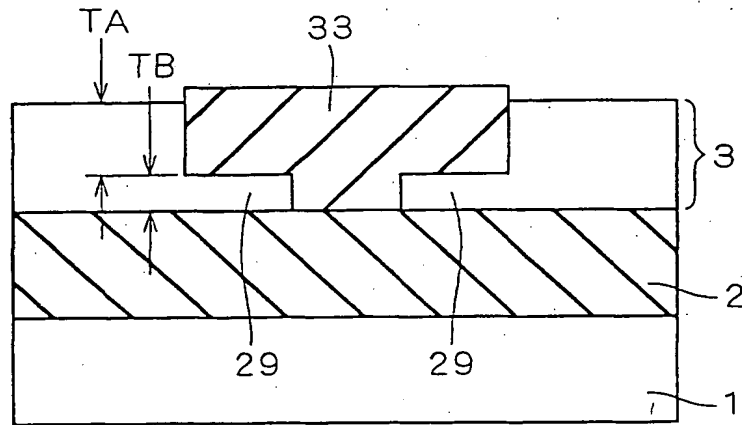


FIG. 57

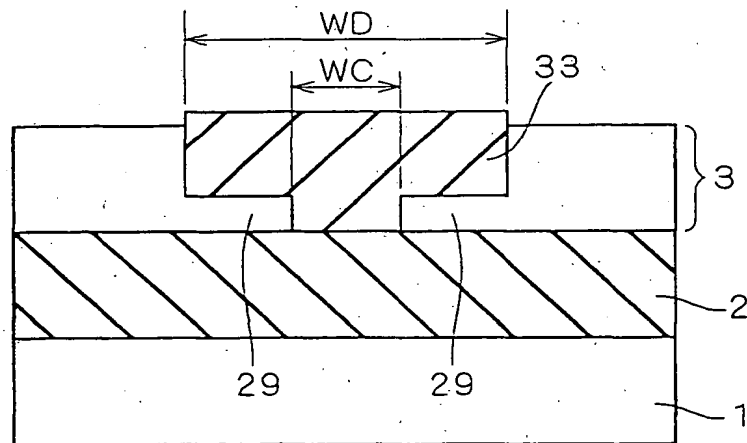


FIG. 58

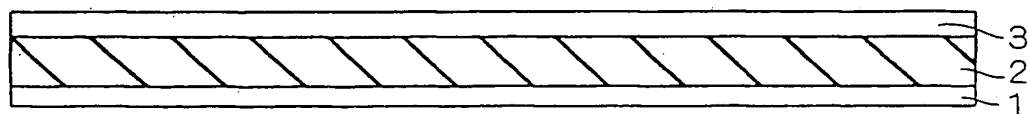


FIG. 59

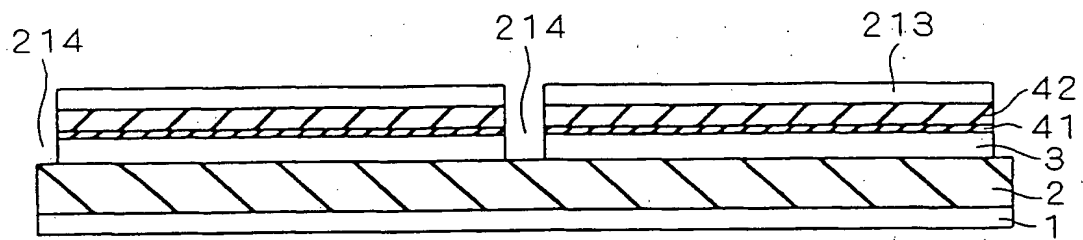


FIG. 60

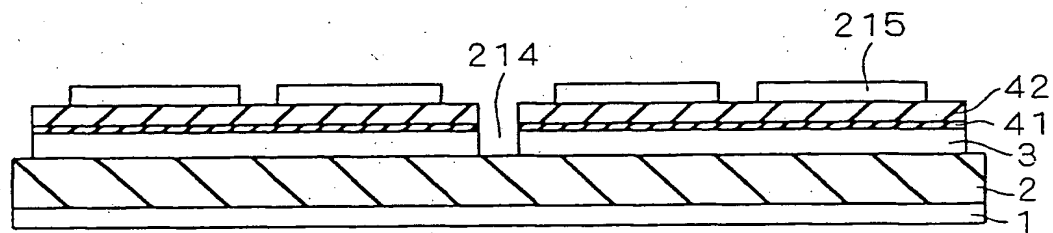


FIG. 61

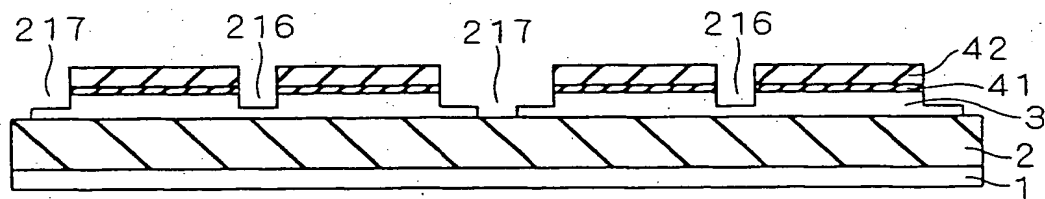


FIG. 62

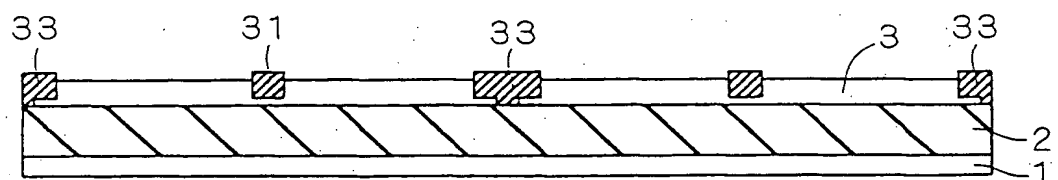


FIG. 63

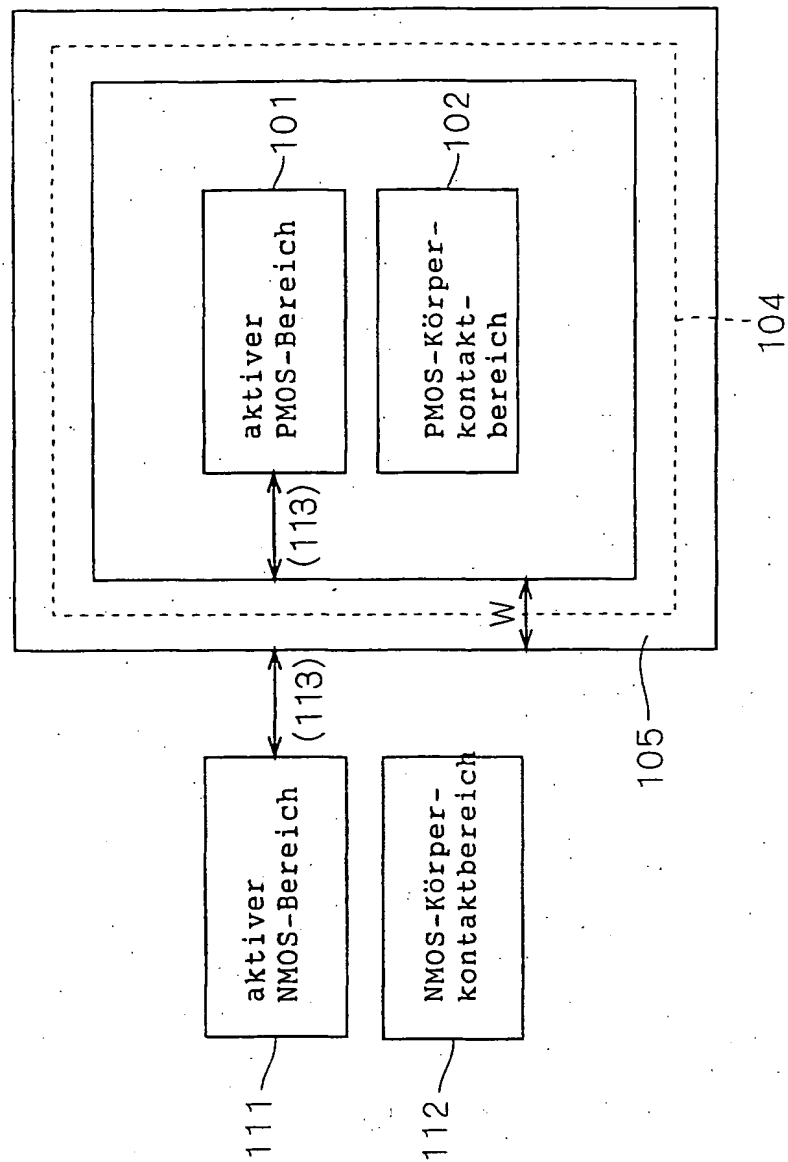


FIG. 64

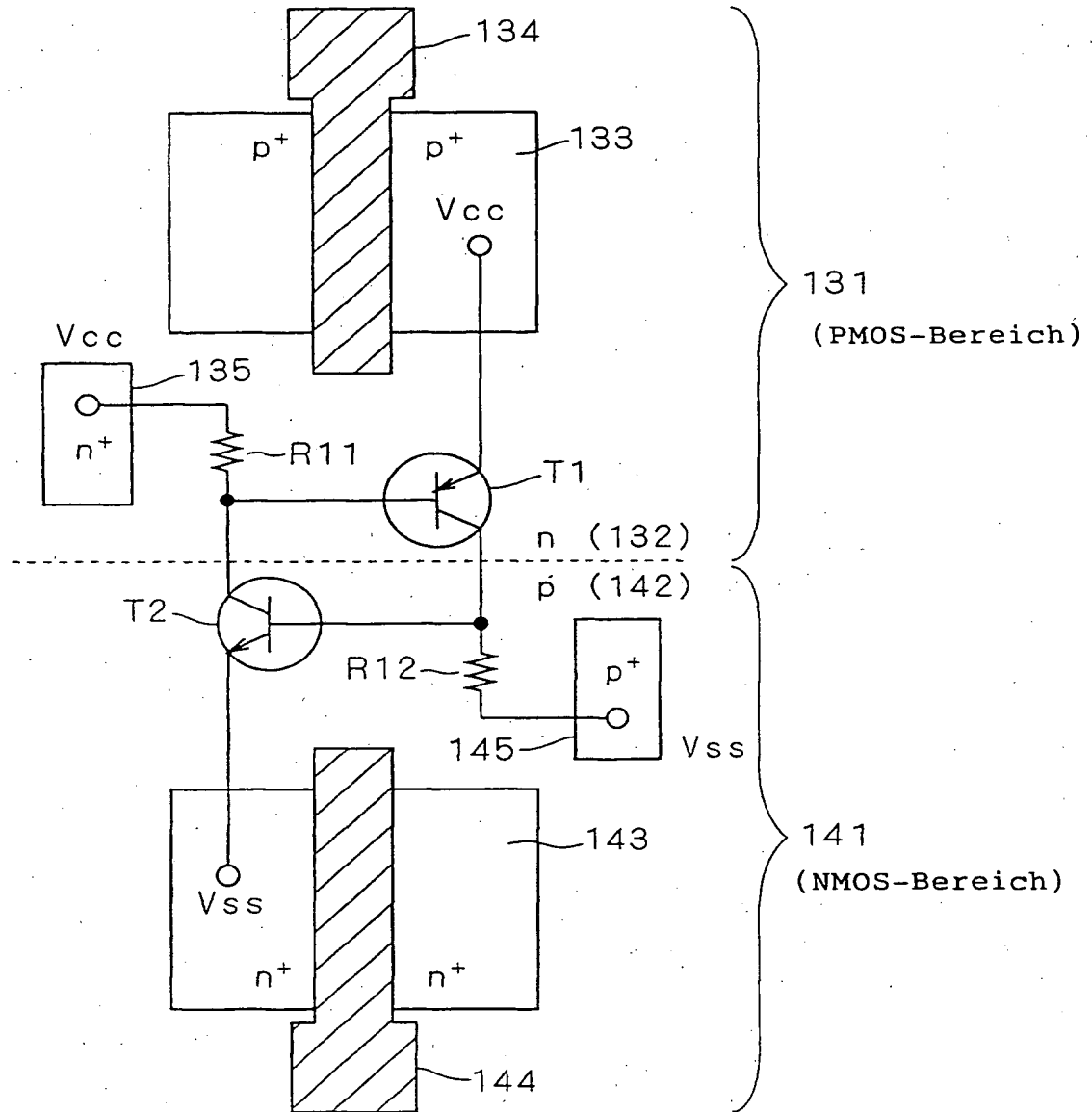


FIG. 65

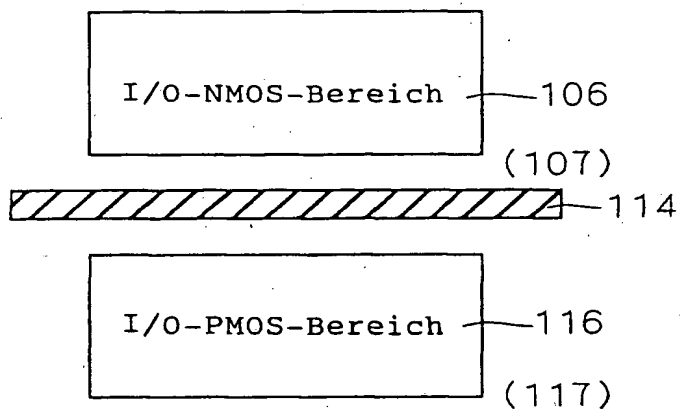


FIG. 66

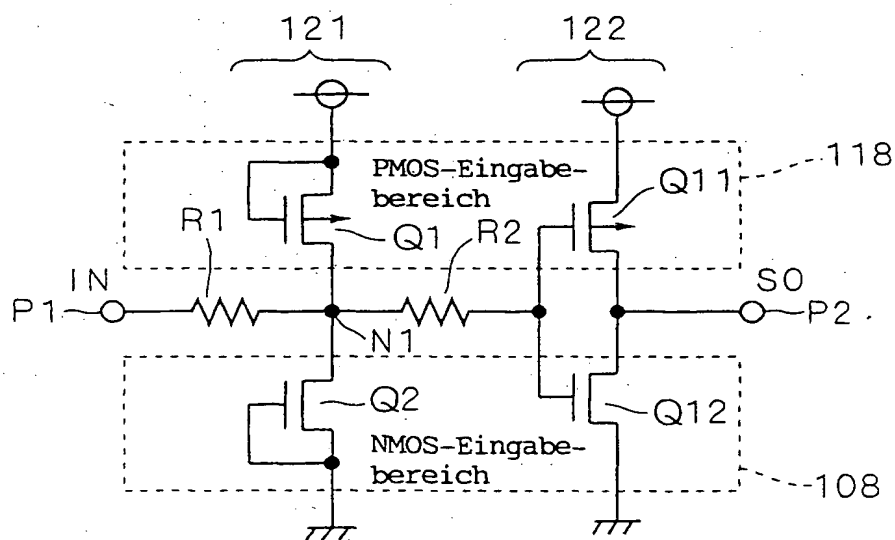


FIG. 69

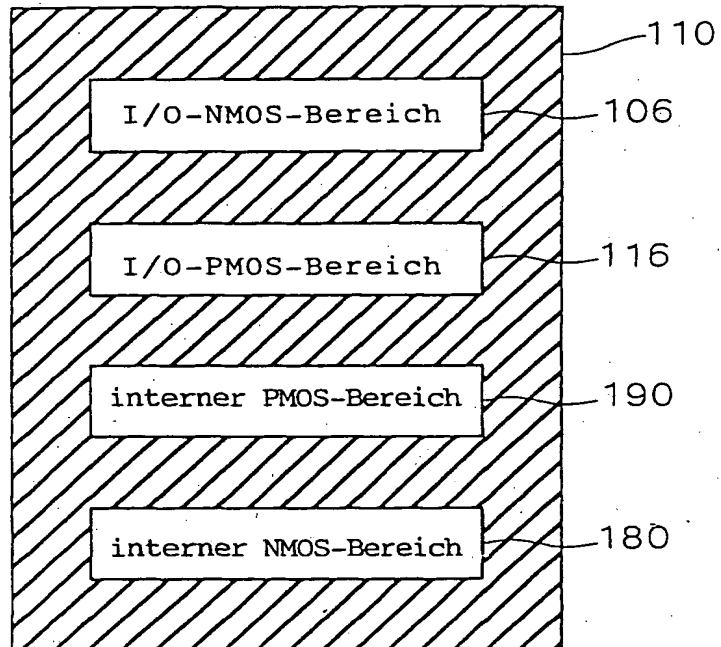


FIG. 70

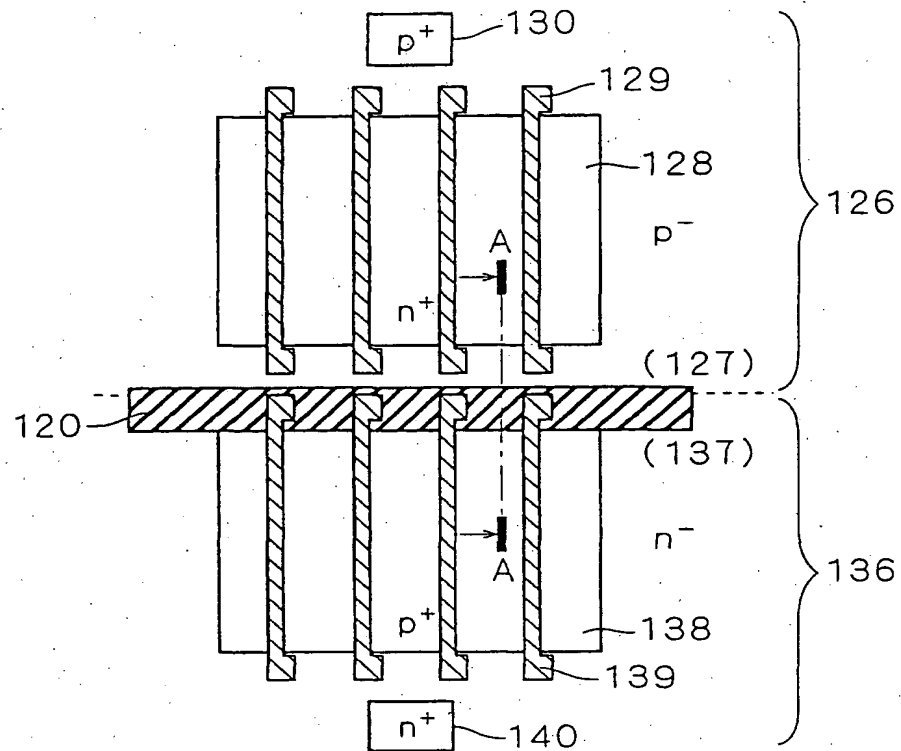


FIG. 71

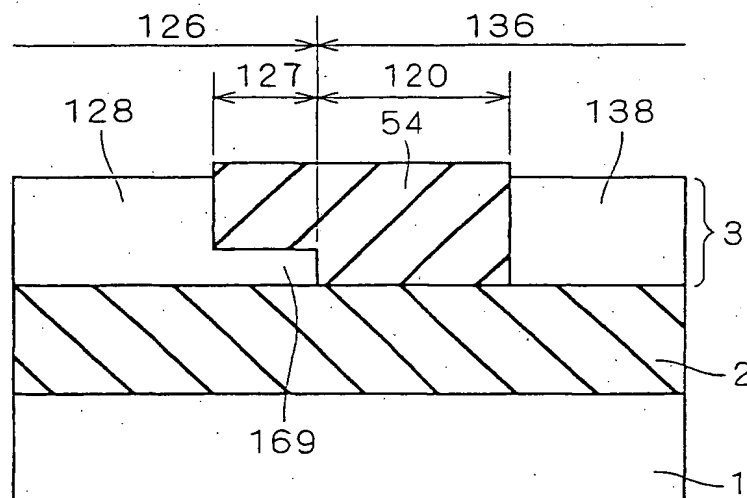


FIG. 74

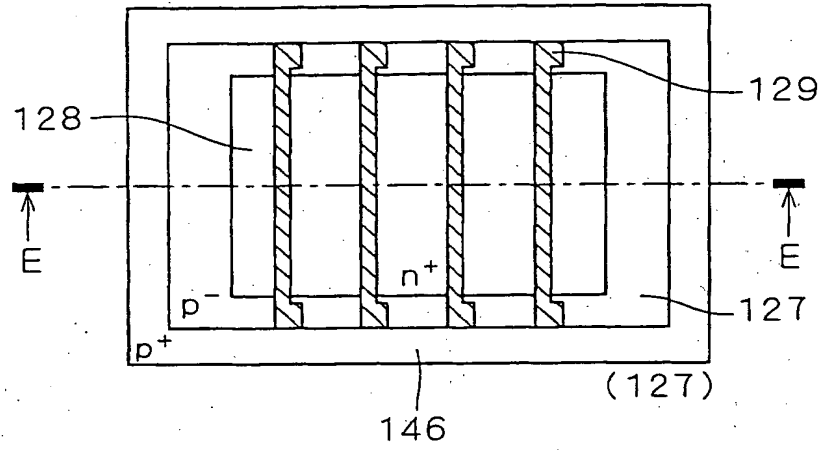


FIG. 75

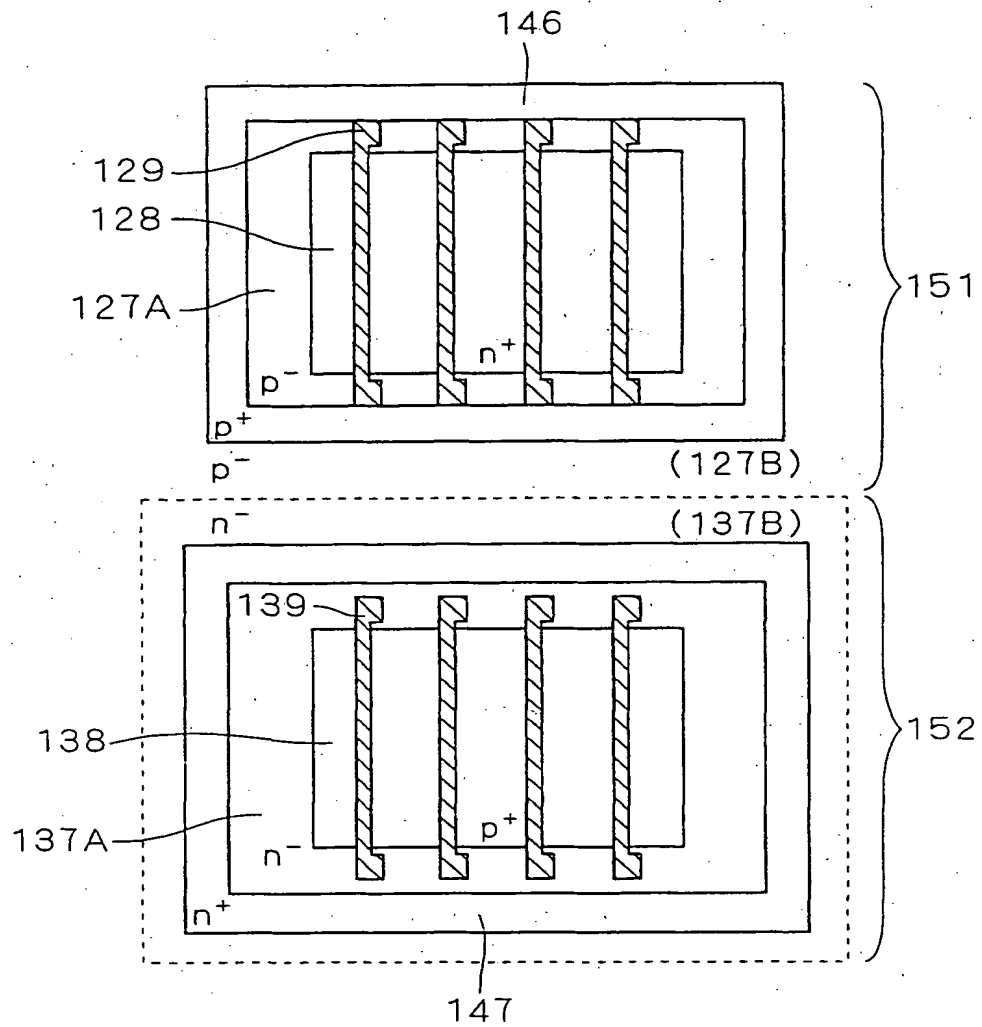


FIG. 76

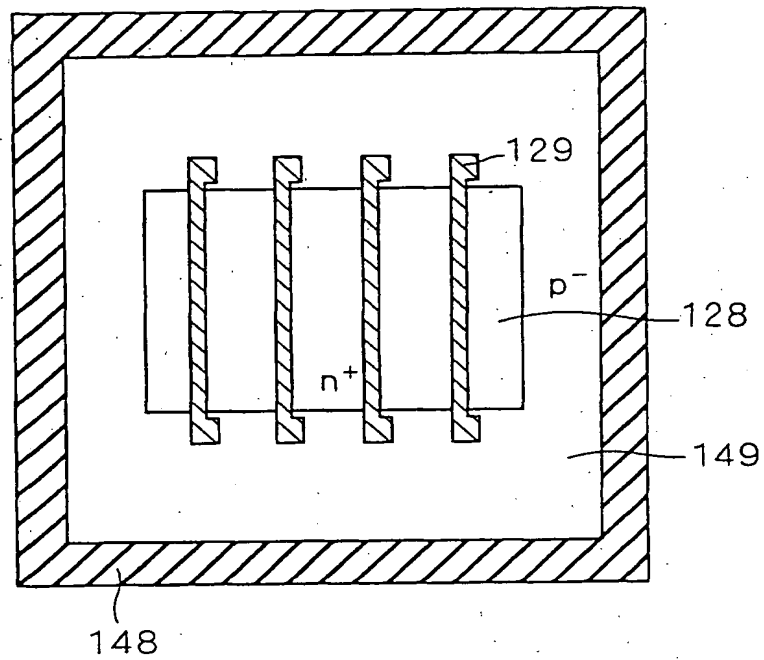


FIG. 77

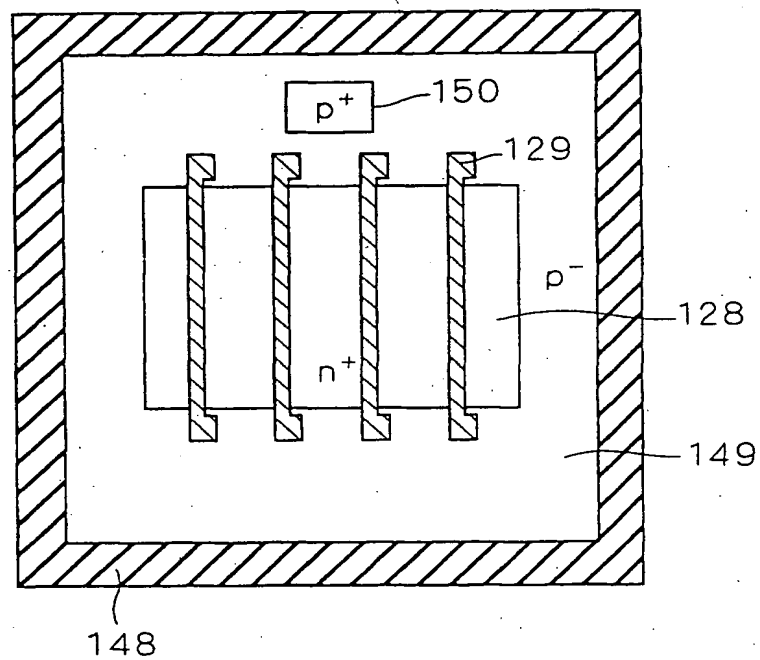


FIG. 78

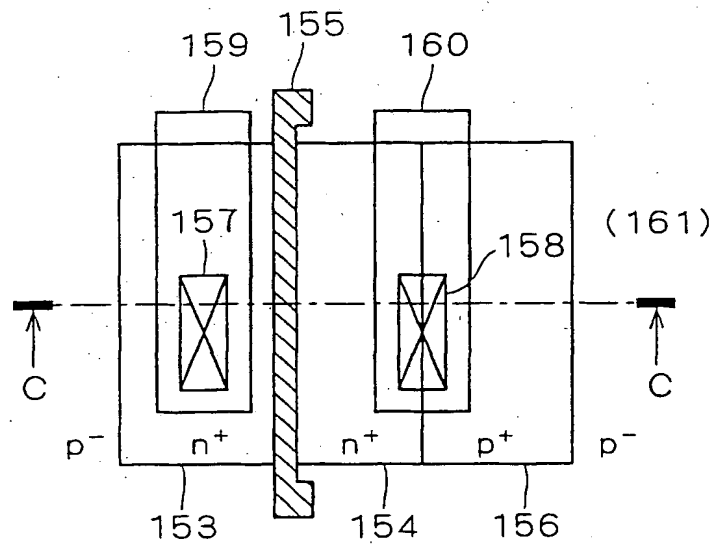


FIG. 79

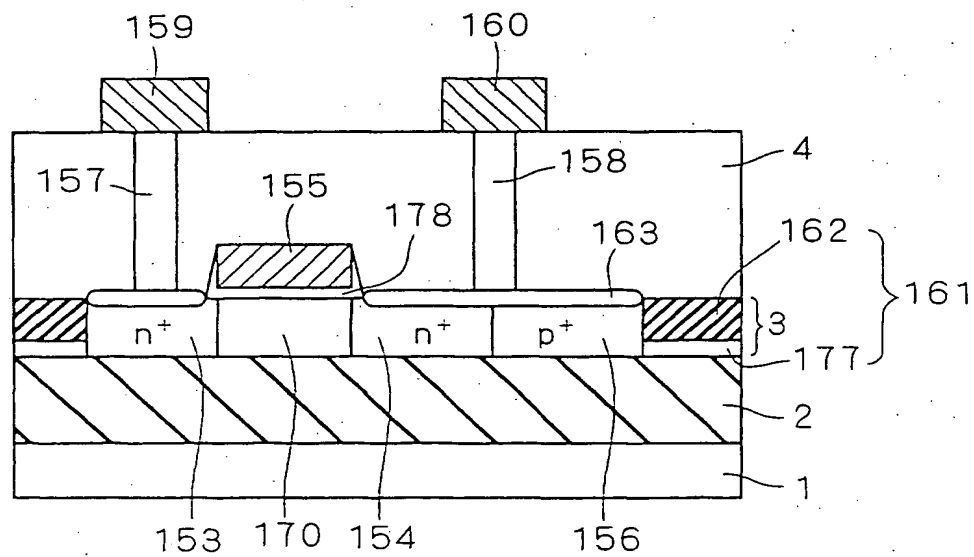


FIG. 80

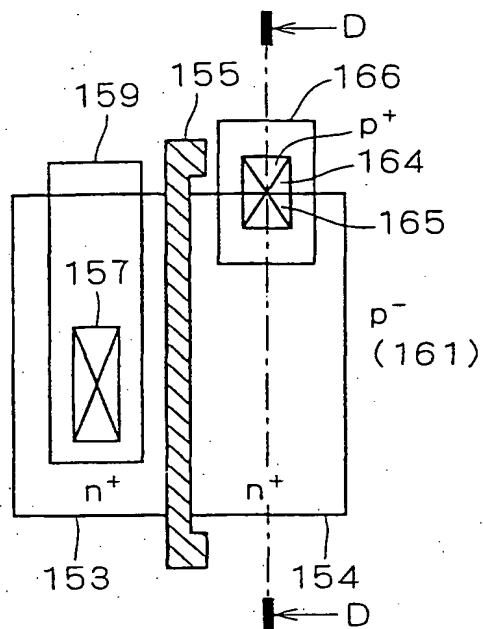


FIG. 81

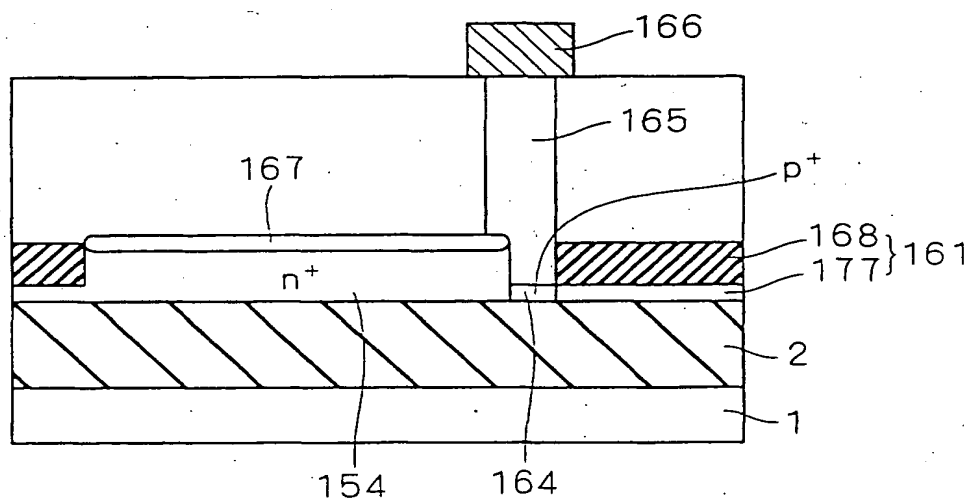


FIG. 82

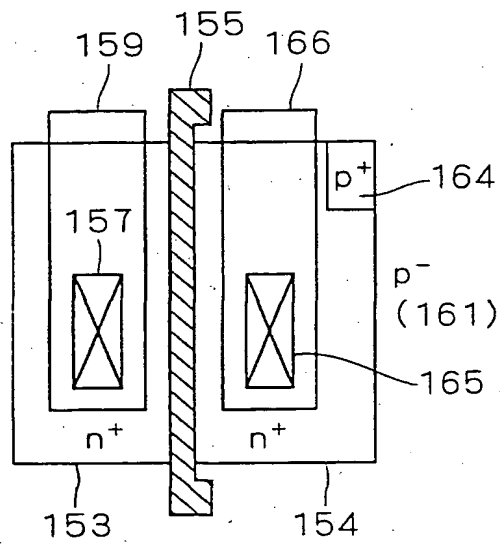


FIG. 83

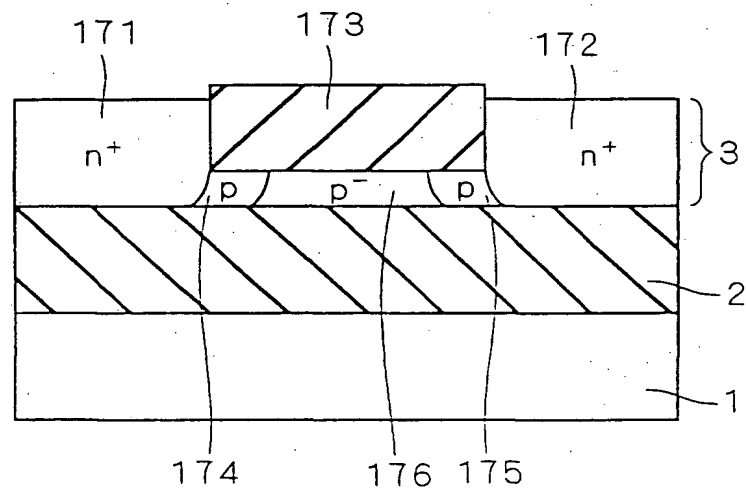


FIG. 84

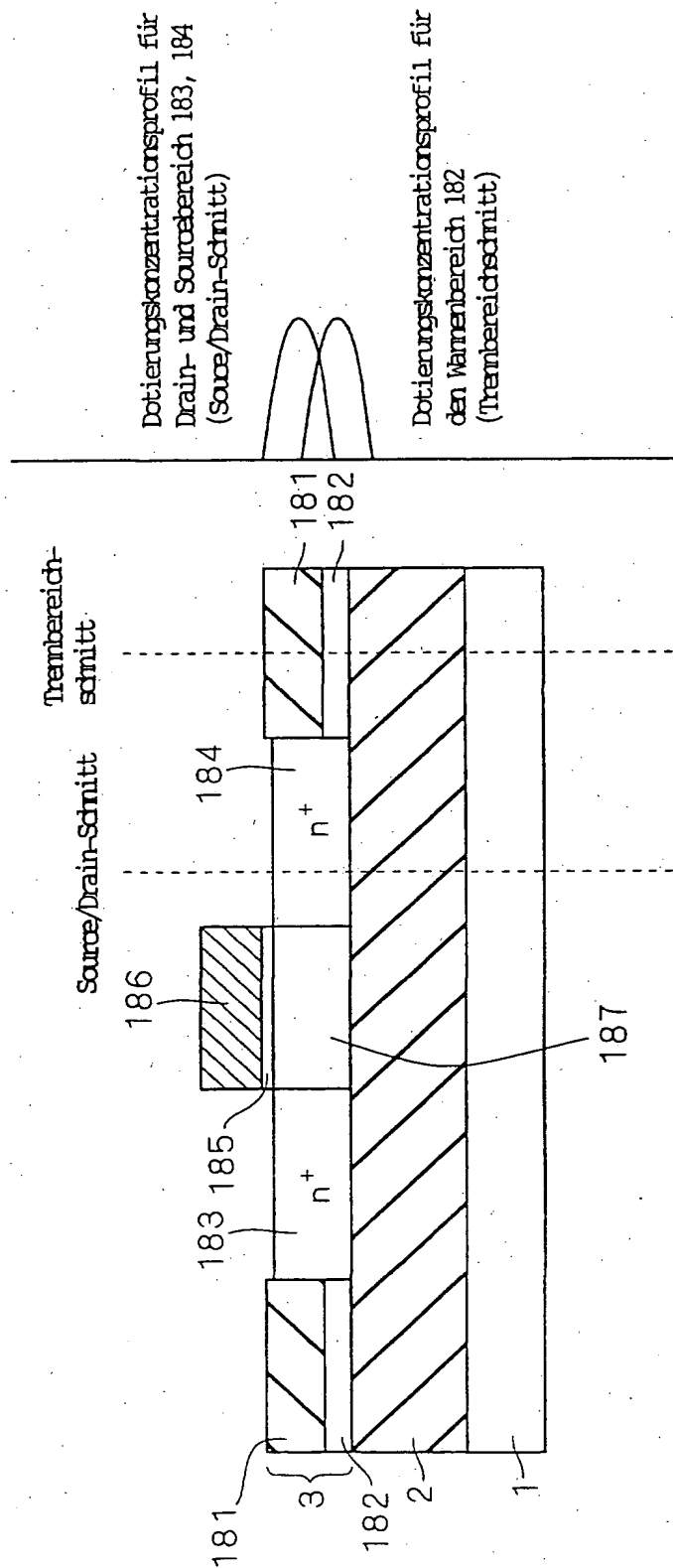


FIG. 85

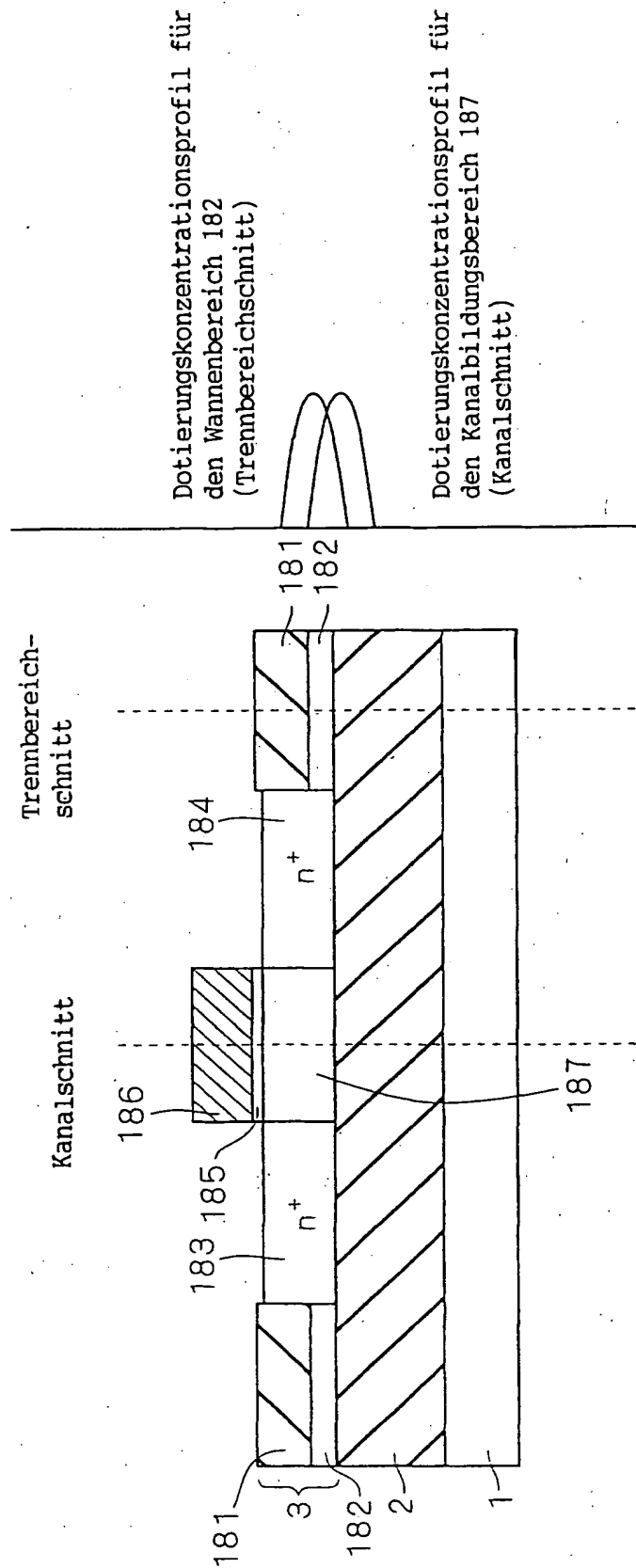


FIG. 86

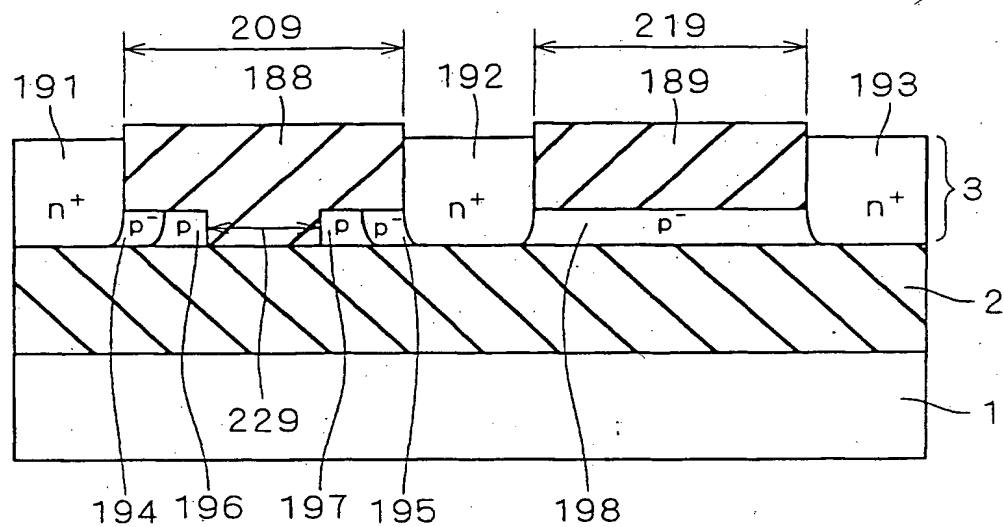


FIG. 87

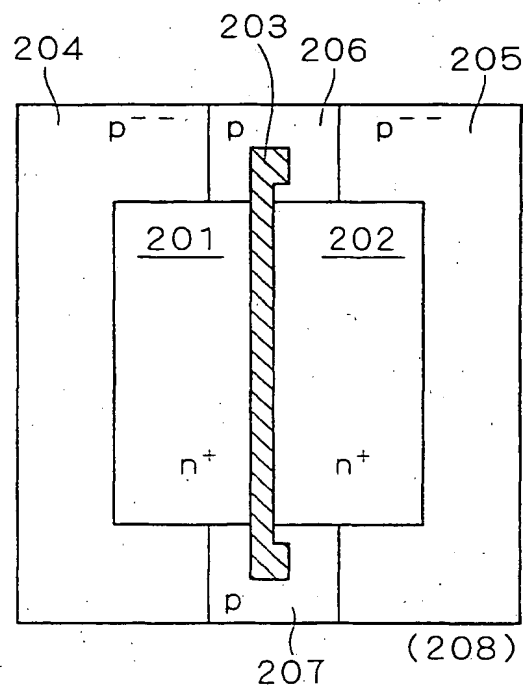


FIG. 88

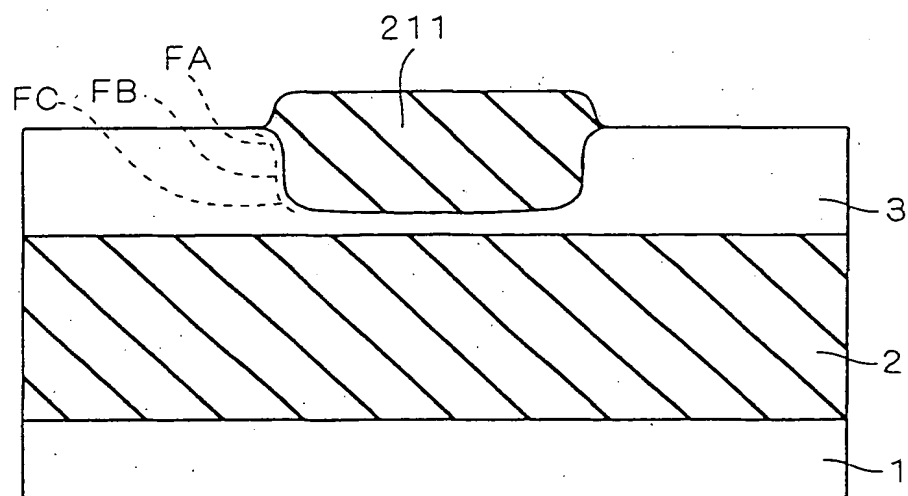


FIG. 89

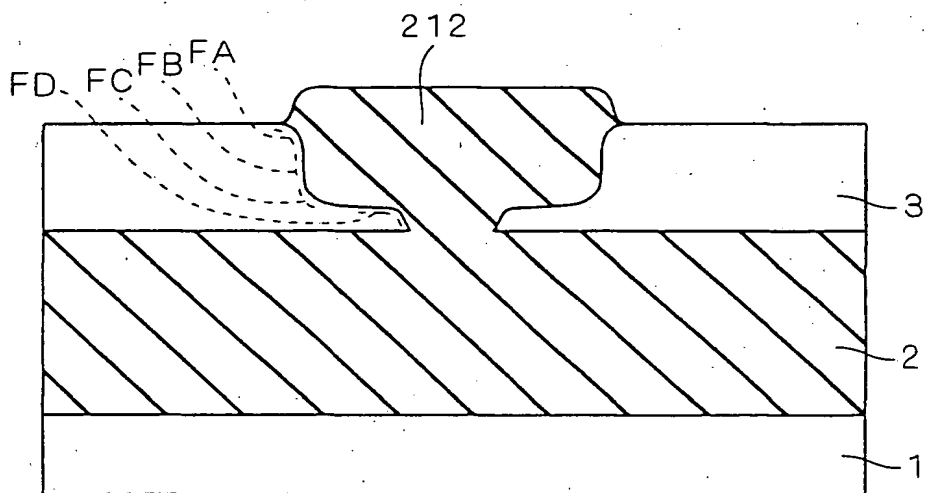


FIG. 91

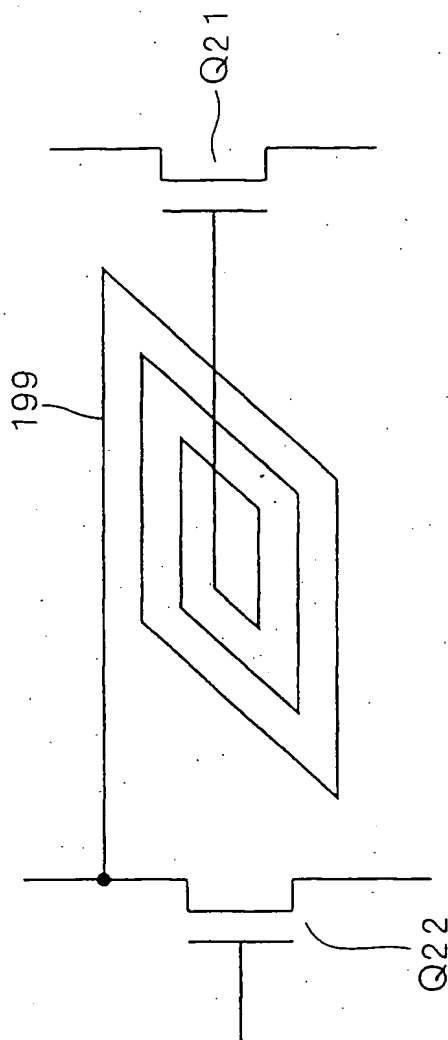


FIG. 92

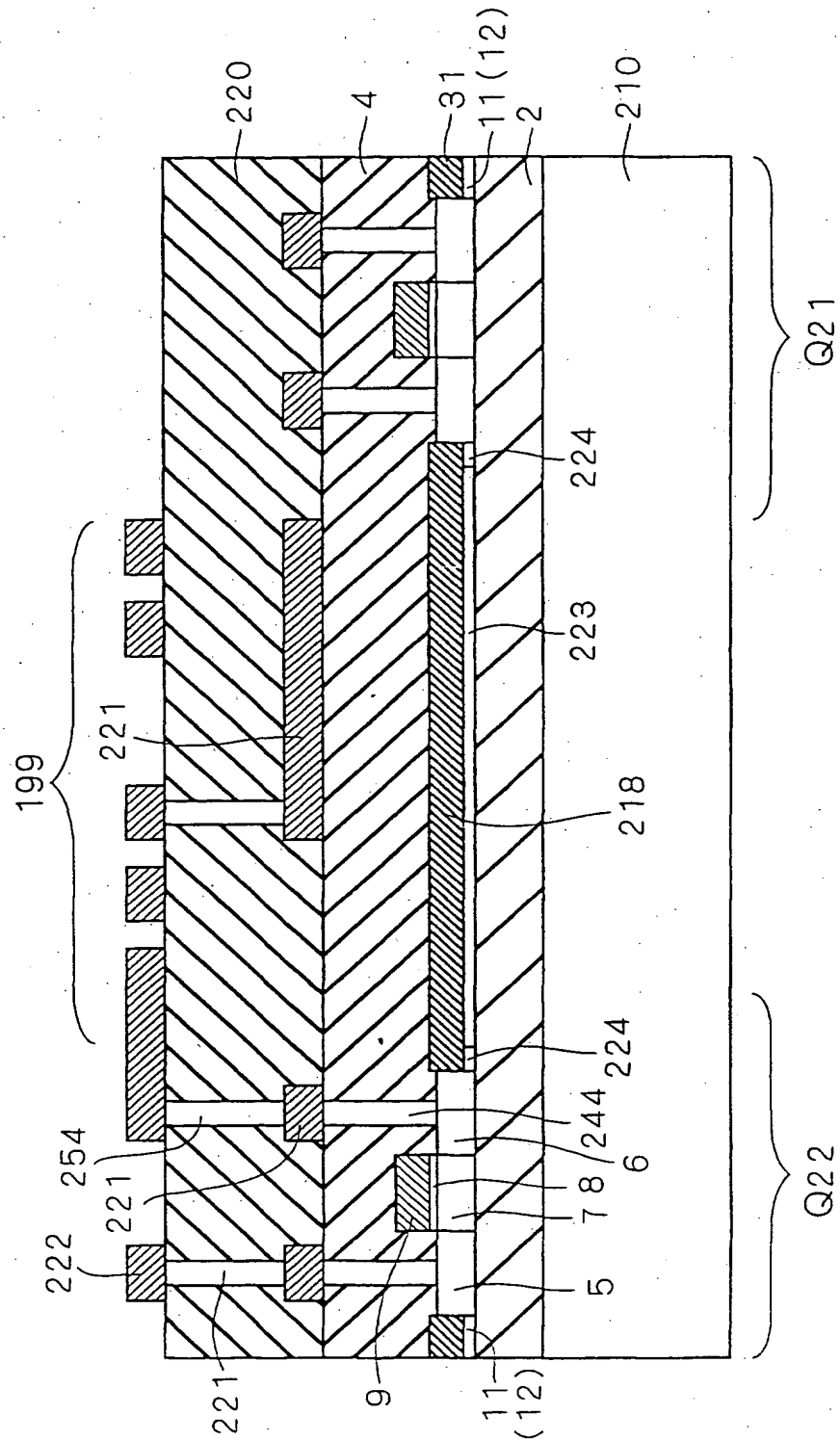


FIG. 93

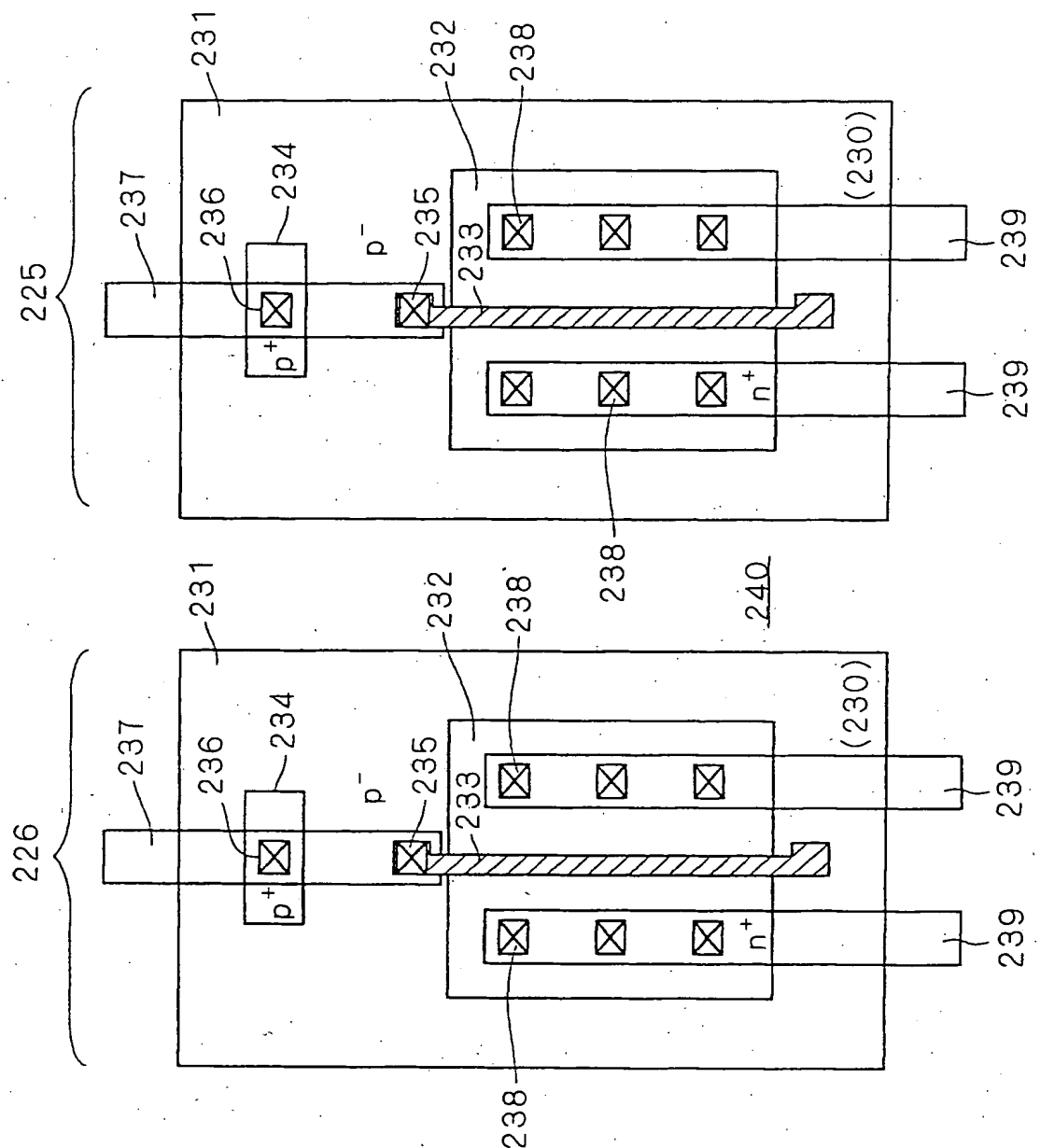


FIG. 94

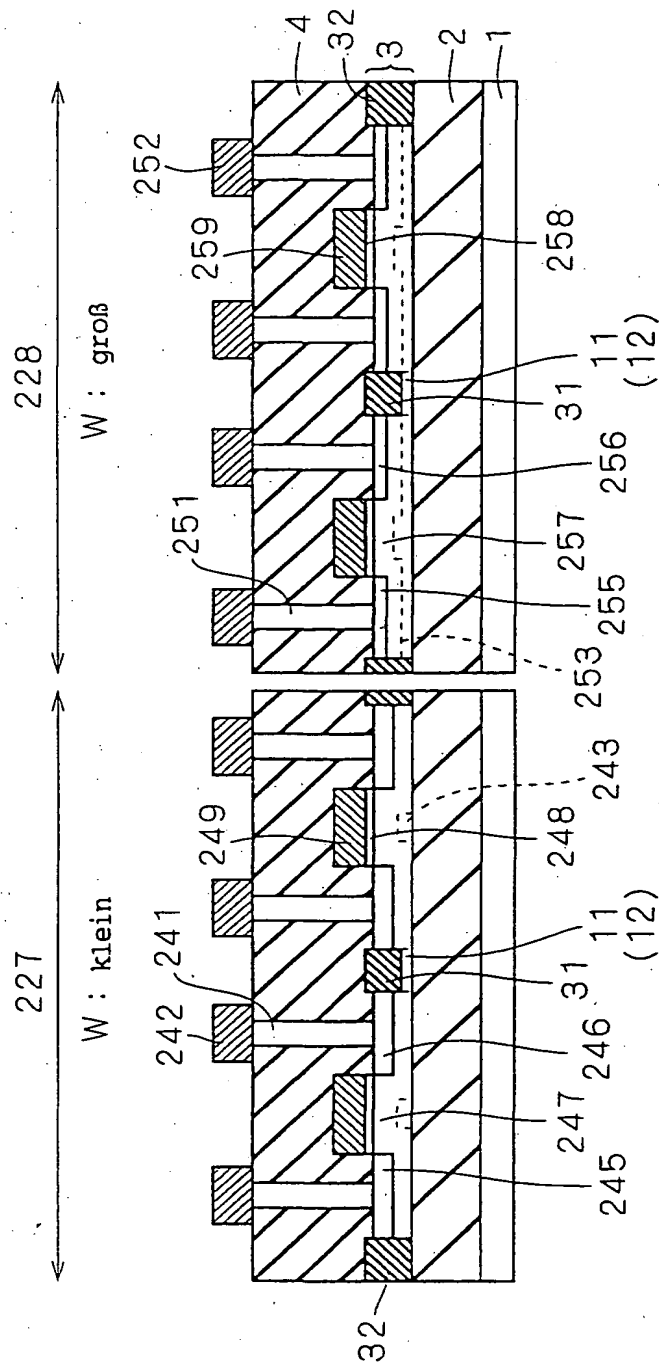


FIG. 95

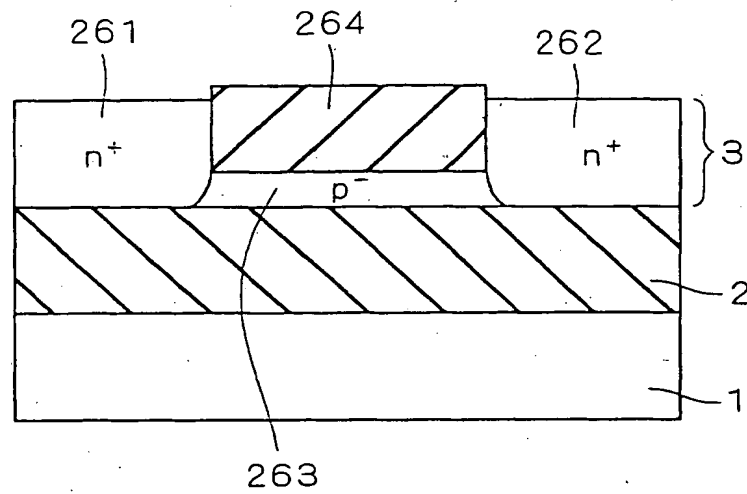


FIG. 96

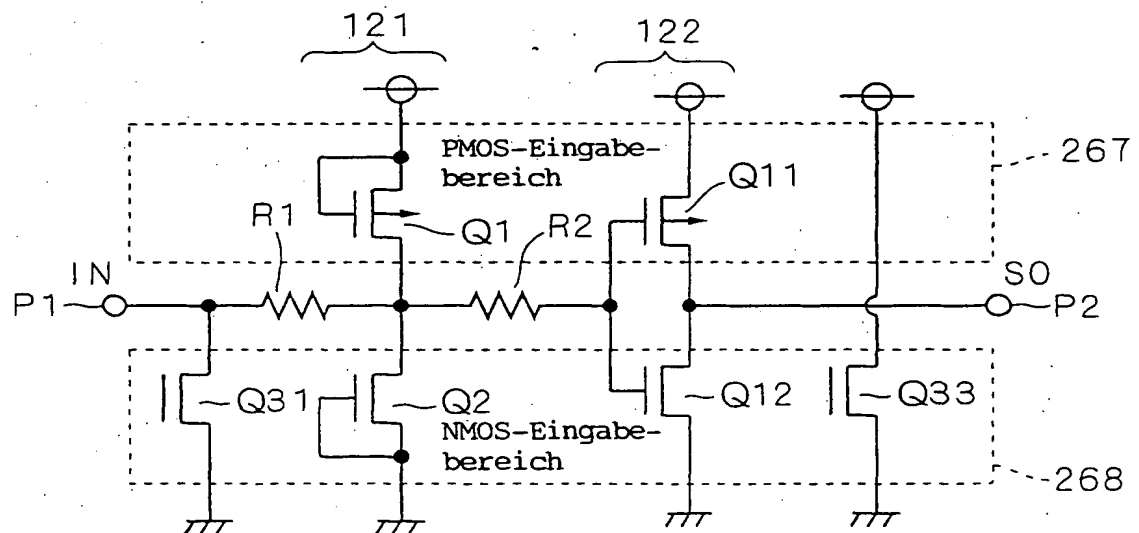


FIG. 99

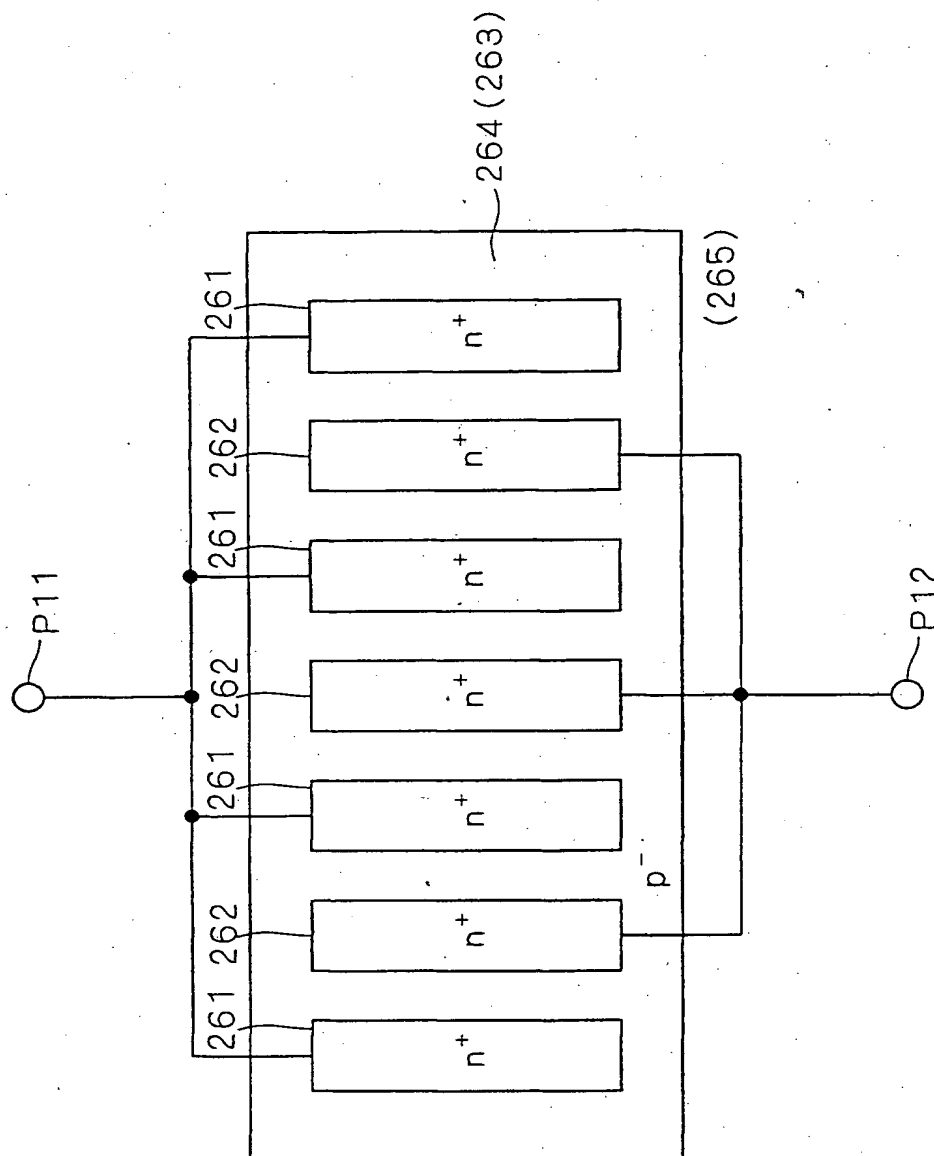


FIG. 100

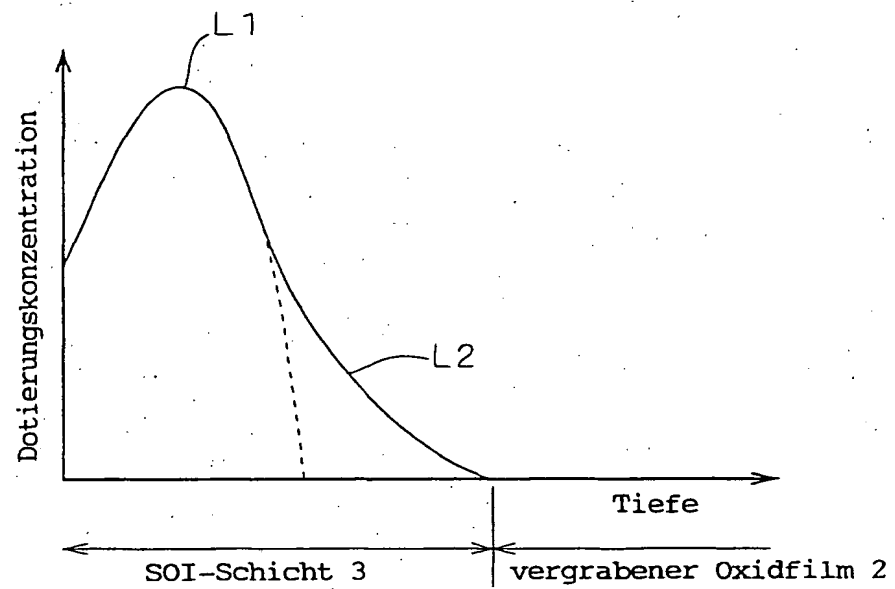


FIG. 101

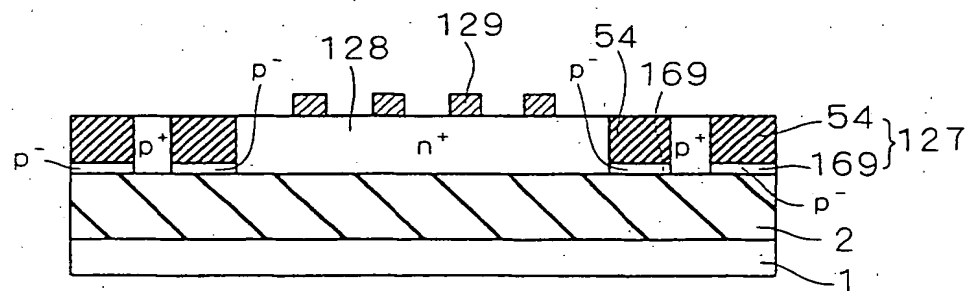
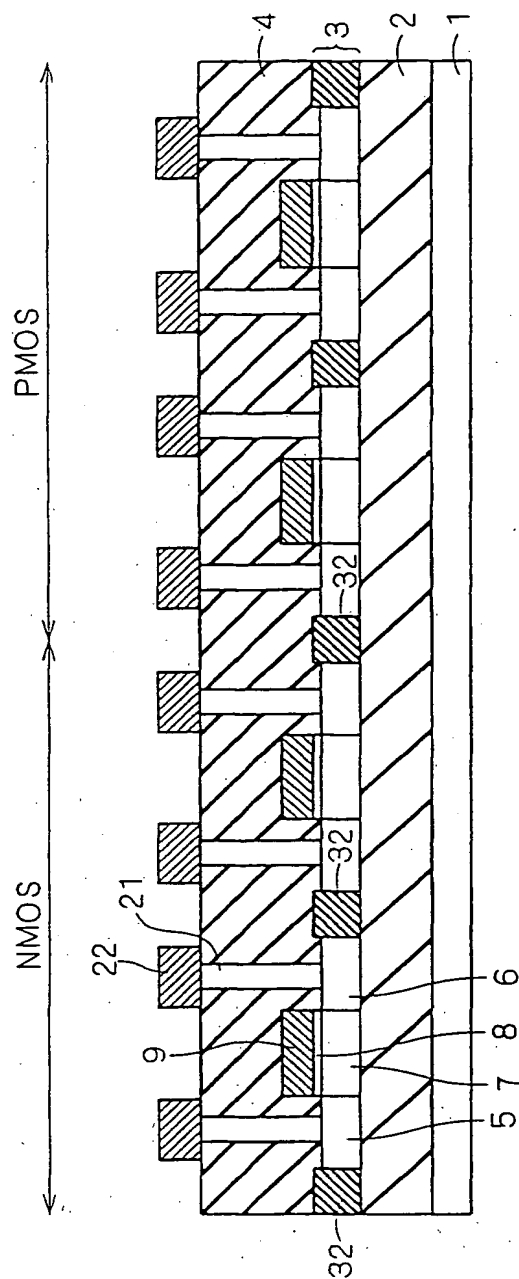


FIG. 102



ENDEBLATT

DRUCKAUFTRAGS-ID: 2145

Benutzer: welehner
Drucker: gdHO6320
Job Beginn: 01.04.2005 15:40
Job Ende: 01.04.2005 15:40